

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-031960
 (43)Date of publication of application : 02.02.1996

(51)Int.CI.

H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 21/8234
 H01L 27/088
 H01L 27/115
 H01L 29/06
 H01L 29/66

(21)Application number : 06-160269
 (22)Date of filing : 12.07.1994

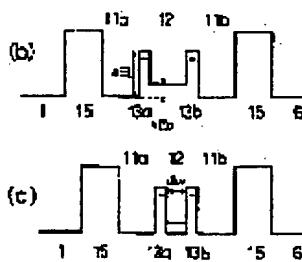
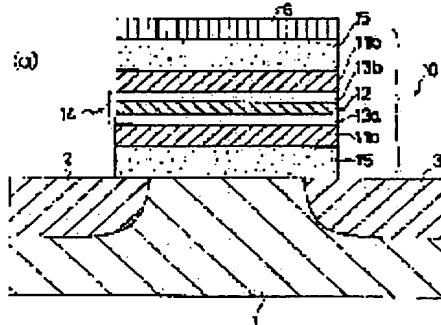
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : HORI TAKASHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a semiconductor device with such advantages as the memory writing, erasure, and reading characteristics of DRAM and flash EEPROM.

CONSTITUTION: A capacitance part 10 and an electrode 6 are provided on a semiconductor substrate 1. Two storage regions 11a and 11b of conduction carrier are provided at the capacitance part 10. A first barrier region 14 in a multiple tunnel structure is formed between the storage regions 11a and 11b and a second barrier region 15 is provided among the storage regions 11a and 11b, the semiconductor substrate 1, and an electrode 6. The first barrier region 14 consists of two tunnel barrier walls 13a and 13b and a low-barrier wall region 12 between the walls. When utilizing polarization characteristics as a memory by moving a conduction carrier between the storage regions 11a and 11b, the travel probability of the conduction carrier is extremely high at a high voltage and the travel probability of conduction carrier becomes small synergistically at a high voltage, thus achieving the advantages of both DRAM and flash EEPROM.



LEGAL STATUS

[Date of request for examination] 25.11.1997
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2991931
 [Date of registration] 15.10.1999
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-31960

(43)公開日 平成8年(1996)2月2日

(51)Int.Cl.⁸
H 01 L 21/8247
29/788
29/792

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 29/78 371
27/08 102 C

審査請求 未請求 請求項の数44 OL (全34頁) 最終頁に続く

(21)出願番号

特願平6-160269

(22)出願日

平成6年(1994)7月12日

(71)出願人

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者

堀 隆
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

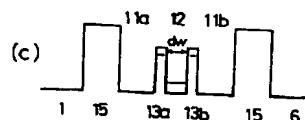
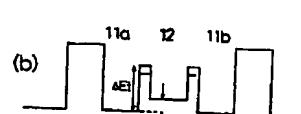
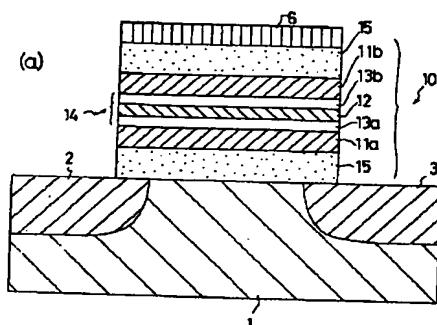
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置およびそれらの製造方法

(57)【要約】

【目的】 DRAMとフラッシュEEPROMとのメモリの書き込み、消去、読み出し特性の長所を併有しうる半導体装置及びその製造方法を提供する。

【構成】 半導体基板1の上に、容量部10と電極6とを設ける。容量部10に、伝導キャリアの2つの貯蔵領域11a, 11bを設ける。各貯蔵領域11a, 11bの間に、多重トンネル構造の第1障壁領域14を形成し、貯蔵領域11a, 11bと半導体基板1、電極6との間に第2障壁領域15を設ける。第1障壁領域14は、2つのトンネル障壁13a, 13bとその間の低障壁領域12とからなる。各貯蔵領域11a, 11bの間で伝導キャリアを移動させて、分極特性を利用してメモリとする場合、高い電圧では伝導キャリアの移動確率が極めて高く、低い電圧では伝導キャリアの移動確率が相乘的に小さくなる。これにより、DRAMとフラッシュEEPROMとの長所を併有しうる。



【特許請求の範囲】

【請求項1】 伝導キャリアを貯蔵可能な少なくとも一つの伝導キャリア貯蔵部を備えた半導体装置において、上記伝導キャリア貯蔵部は、

伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する少なくとも2つの障壁領域と、上記各障壁領域の間に介設され、上記伝導キャリア供給源から供給される伝導キャリアが安定に存在しうる低いエネルギー準位を有する少なくとも1つの貯蔵領域とを備えるとともに、

上記各障壁領域のうち少なくとも一方は、

伝導キャリアのトンネリングによる通過が可能なエネルギー準位を有する少なくとも2つのトンネル障壁と、該各トンネル障壁の間に介設され上記トンネル障壁よりも低いエネルギー準位を有する少なくとも2つの低障壁領域とからなる多重トンネル構造を有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記伝導キャリア貯蔵部に配設される貯蔵領域の個数は1つであり、障壁領域の個数は2つであり、

上記2つの障壁領域のうち一方のみ上記多重トンネル構造を有し、他方は多重トンネル構造を有しないことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、上記伝導キャリア貯蔵部に配設される貯蔵領域の個数は2つであり、障壁領域の個数は3つであり、少なくとも上記各貯蔵領域の間の障壁領域が多重トンネル構造を有することを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、上記各貯蔵領域の互いに対向する面とは反対側の面に隣接する2つの障壁領域は、多重トンネル構造を有しないことを特徴とする半導体装置。

【請求項5】 請求項1、2、3又は4記載の半導体装置において、上記多重トンネル構造を有する障壁領域内の低障壁領域は、両側のトンネル障壁のうち一方のトンネル障壁からの入射波と他方のトンネル障壁からの反射波との位相がほぼ揃うように構成されていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、上記多重トンネル構造を有する障壁領域内の低障壁領域は、伝導キャリアのド・ブロイ波長と同程度又はそれ以下の厚みを有する薄膜材料で構成されていることを特徴とする半導体装置。

【請求項7】 請求項5又は6記載の半導体装置において、上記多重トンネル構造を有する障壁領域内の低障壁領域は、上記貯蔵領域のエネルギー準位よりも所定値だけ高いエネルギー準位を有する薄膜材料で構成されていることを特徴とする半導体装置。

10

20

30

40

50

【請求項8】 請求項3又は4記載の半導体装置において、上記伝導キャリア貯蔵部内には、キャリア供給源が設けられていることを特徴とする半導体装置。

【請求項9】 請求項1、2、3又は4記載の半導体装置において、

上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記半導体基板の表面領域に形成され、少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成された電極とを備え、

上記伝導キャリア貯蔵部は、メモリ部として機能することを特徴とする半導体装置。

【請求項10】 請求項1、2、3又は4記載の半導体装置において、

上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備え、

上記伝導キャリア貯蔵部は、メモリ部として機能することを特徴とする半導体装置。

【請求項11】 請求項2記載の半導体装置において、上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記半導体基板の表面領域に形成され、少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成された電極とを備え、

上記伝導キャリア貯蔵部の貯蔵領域に存在する伝導キャリア量に対応させて情報の記憶、処理を行うように構成されていることを特徴とする半導体装置。

【請求項12】 請求項3又は4記載の半導体装置において、

上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記半導体基板の表面領域に形成され、少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成された電極とを備え、

上記伝導キャリア貯蔵部の内部で上記伝導キャリアが上記2つの貯蔵領域に分配される割合に対応させて情報の記憶、処理を行うように構成されていることを特徴とする半導体装置。

【請求項13】 請求項2記載の半導体装置において、

上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備え、

上記伝導キャリア貯蔵部の貯蔵領域に存在する伝導キャリア量に対応させて情報の記憶、処理を行うように構成されていることを特徴とする半導体装置。

【請求項14】 請求項3又は4記載の半導体装置において、

上記伝導キャリア貯蔵部は、半導体基板の上に形成されており、

上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、

上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備え、

上記伝導キャリア貯蔵部の内部で上記伝導キャリアが上記2つの貯蔵領域に分配される割合に対応させて情報の記憶、処理を行うように構成されていることを特徴とする半導体装置。

【請求項15】 請求項10, 13又は14記載の半導体装置において、

上記2つのソース・ドレイン領域のうち少なくとも一方は、上記伝導キャリア貯蔵部と所定の間隙をもって形成されており、

上記伝導キャリア貯蔵部の上記ソース・ドレイン領域と所定の間隙を隔てた側部に、かつ上記間隙の寸法よりも薄く形成された絶縁膜側壁と、

上記絶縁膜側壁からソース・ドレイン領域に亘る半導体基板上に設けられたゲート絶縁膜と、

上記ゲート絶縁膜上のゲート電極とを備え、

上記ゲート電極は上記キャリア貯蔵部の上のゲート電極と共通の導電性部材で形成されていることを特徴とする半導体装置。

【請求項16】 請求項1, 2, 3又は4記載の半導体装置において、

上記半導体装置は、DRAMメモリセルであり、

上記伝導キャリア貯蔵部は、上記DRAMメモリセルの容量電極とプレート電極との間に介設され、メモリ部として機能することを特徴とする半導体装置。

【請求項17】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、Si02の薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、Siの薄膜で構成されていることを特徴とする半導体装置。

【請求項18】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置に

において、

上記伝導キャリア貯蔵部のトンネル障壁は、Si3N4の薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、Siの薄膜で構成されていることを特徴とする半導体装置。

【請求項19】 請求項14又は15記載の半導体装置において、

上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、アモルファスSiの薄膜で構成されていることを特徴とする半導体装置。

【請求項20】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、AlAsの薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、GaAsの薄膜で構成されていることを特徴とする半導体装置。

【請求項21】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、GaAlAsの薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、GaAsの薄膜で構成されていることを特徴とする半導体装置。

【請求項22】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、SiO2の薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、SiCの薄膜で構成されていることを特徴とする半導体装置。

【請求項23】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、GaAINの薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、GaNの薄膜で構成されていることを特徴とする半導体装置。

【請求項24】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、Siの薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域は、SiGeの薄膜で構成されていることを特徴とする半導体装置。

【請求項25】 請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、

上記伝導キャリア貯蔵部のトンネル障壁は、単結晶半導体の薄膜で構成され、上記伝導キャリア貯蔵部の貯蔵領

域及び低障壁領域は、上記単結晶半導体の表面における格子定数とほぼ等しい格子定数を有する物質の薄膜で構成されていることを特徴とする半導体装置。

【請求項26】 第1導電性部材と第2導電性部材との間に複合層からなる伝導キャリア貯蔵層を形成するための半導体装置の製造方法であって、上記伝導キャリア貯蔵層を形成する工程として、

伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する第1絶縁層を形成する工程と、

上記第1絶縁層の上に、伝導キャリアの貯蔵が可能な低いエネルギー準位を有する第1貯蔵層を形成する工程と、

上記第1貯蔵層の上に、伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する第2絶縁層を形成する工程とを備え、

上記各絶縁層を形成する工程のうち少なくともいずれか1つの工程では、第1導電性部材のエネルギー準位より高くかつ伝導キャリアのトンネリングによる通過が可能なエネルギー準位を有するトンネル絶縁層と、該トンネル絶縁層より低いエネルギー準位を有する低障壁層とを交互に、かつ最下部及び最上部がトンネル絶縁層となる多重トンネル構造を有する層を形成することを特徴とする半導体装置の製造方法。

【請求項27】 請求項26記載の半導体装置の製造方法において、

上記第1絶縁層を形成する工程では、上記多重トンネル構造を有する絶縁層を形成し、

上記第2絶縁層を形成する工程では、上記多重トンネル構造を有しない絶縁層を形成することを特徴とする半導体装置の製造方法。

【請求項28】 請求項26記載の半導体装置の製造方法において、

上記第1絶縁層を形成する工程では、上記多重トンネル構造を有しない絶縁層を形成し、

上記第2絶縁層を形成する工程では、上記多重トンネル構造を有する絶縁層を形成するとともに、

上記伝導キャリア貯蔵層を形成する工程は、さらに、上記第2絶縁層の上に、伝導キャリアの貯蔵が可能な低いエネルギー準位を有する第2貯蔵層を形成する工程と、

上記第2貯蔵層の上に、第3絶縁層として、伝導キャリアの移動に対する抵抗を与える高いエネルギー準位を有しつつ上記多重トンネル構造を有しない絶縁層を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項29】 請求項28記載の半導体装置の製造方法において、

上記第1絶縁層の形成工程より後でかつ上記第2導電部材の形成工程より前に伝導キャリアの供給源を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項30】 請求項29記載の半導体装置の製造方法において、

上記伝導キャリアの供給源を、上記第1貯蔵層及び第2貯蔵層のうち少なくともいずれか一方に形成することを特徴とする半導体装置の製造方法。

【請求項31】 請求項29記載の半導体装置の製造方法において、

上記伝導キャリアの供給源を、上記各トンネル層のうち少なくともいずれか一つに形成することを特徴とする半導体装置の製造方法。

【請求項32】 請求項28記載の半導体装置の製造方法において、

上記第3絶縁層の上に上記第1貯蔵層から第3絶縁層に亘る複合層を形成する工程を複数回行って、複数の伝導キャリア貯蔵層を形成することを特徴とする半導体装置の製造方法。

【請求項33】 請求項26, 27, 28, 29, 30, 31又は32記載の半導体装置の製造方法において、

上記多重トンネル構造を有する絶縁層を形成する工程では、2つのトンネル絶縁層と1つの低障壁層とを形成することを特徴とする半導体装置の製造方法。

【請求項34】 請求項26, 27, 28, 29, 30, 31, 32又は33記載の半導体装置の製造方法において、

上記第1導電性部材は、半導体基板及び半導体基板の表面領域に形成された1つのソース・ドレイン領域であり、

上記伝導キャリア貯蔵層は半導体基板及び上記1つのソース・ドレイン領域の一部の上に亘って形成されていることを特徴とする半導体装置の製造方法。

【請求項35】 請求項23, 24, 25, 26, 27, 28, 29又は30記載の半導体装置の製造方法において、

上記第1導電性部材は、半導体基板及び半導体基板の表面領域に所定の間隔をもって形成された2つのソース・ドレイン領域であり、

上記伝導キャリア貯蔵層は、2つのソース・ドレイン領域の端部及びその間の半導体基板の上に亘って形成されることを特徴とする半導体装置の製造方法。

【請求項36】 請求項23, 24, 25, 26, 27, 28, 29又は30記載の半導体装置の製造方法において、

上記第1導電性部材は、DRAMメモリセルの容量電極であり、

上記第2導電性部材は、DRAMメモリセルのプレート電極であり、

上記伝導キャリア貯蔵層は、上記容量電極とプレート電極との間に形成されることを特徴とする半導体装置の製造方法。

【請求項37】 請求項27記載の半導体装置の製造方法において、

上記第1貯蔵層を形成する工程及び低障壁層を形成する工程では、シリコン膜を形成し、

上記各トンネル絶縁層を形成する工程では、シリコン酸化膜を形成するようを行うことを特徴とする半導体装置の製造方法。

【請求項38】 請求項28記載の半導体装置の製造方法において、

上記第1導電性部材は、シリコン半導体で構成されており、

上記第1絶縁層を形成する工程では、第1導電性部材の半導体基板のシリコン半導体の表面付近を酸化、窒化のうち少なくともいすれかの処理を行うことを特徴とする半導体装置の製造方法。

【請求項39】 請求項26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37又は38記載の半導体装置の製造方法において、

上記貯蔵層を形成する工程及び低障壁層を形成する工程では、シリコン膜を形成し、

上記各トンネル絶縁層を形成する工程では、シリコン酸化膜を形成するようを行うことを特徴とする半導体装置の製造方法。

【請求項40】 請求項39記載の半導体装置の製造方法において、

上記貯蔵層を形成する工程及び低障壁層を形成する工程では、アモルファス状のシリコン膜を形成することを特徴とする半導体装置の製造方法。

【請求項41】 請求項26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37又は38記載の半導体装置の製造方法において、

上記貯蔵層を形成する工程及び低障壁層を形成する工程では、シリコン単結晶膜を形成し、

上記トンネル絶縁層を形成する工程では、上記シリコン単結晶と接触面での格子定数がほぼ等しい誘電体物質の膜を形成し、

上記各膜はエピタキシャル成長を利用して形成することを特徴とする半導体装置の製造方法。

【請求項42】 請求項27又は28記載の半導体装置の製造方法において、

上記多重トンネル構造を有しない絶縁層を形成する工程では、シリコン酸化膜、シリコン窒化酸化膜、シリコン窒化膜及びその複合膜のうちいすれか1つを形成することを特徴とする半導体装置の製造方法。

【請求項43】 請求項35記載の半導体装置の製造方法において、

上記伝導キャリア貯蔵層を構成する複合層を形成した後、形成された複合層のうち所望する部分を残してそれ以外の部分を除去する工程と、

上記工程によりパターン化された複合層の一方の側部に

絶縁体膜からなる側壁を形成する工程と、

上記側壁の側方の半導体基板上にゲート絶縁層を形成する工程と、

上記パターン化された複合層、側壁及びゲート絶縁層の上に上記ゲート電極となる導電膜を堆積する工程と、少なくとも上記パターン化された複合層の一部、側壁及び少なくとも上記ゲート絶縁層の一部とその上方に位置する導電膜とを残すようにバターニングする工程と、上記バターニングされたゲート電極及びその下方の複合層をマスクとして、半導体基板に不純物イオンの注入を行って上記各ソース・ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項44】 請求項35記載の半導体装置の製造方法において、

上記伝導キャリア貯蔵層を構成する複合層を形成した後、形成された複合層のうち所望する部分を残してそれ以外の部分を除去する工程と、

上記工程によりパターン化された複合層の両側部に絶縁体膜からなる側壁を形成する工程と、

上記各側壁の側方の半導体基板上にゲート絶縁層を形成する工程と、

上記パターン化された複合層、側壁及び各ゲート絶縁層の上に上記ゲート電極となる導電膜を堆積する工程と、少なくとも上記パターン化された複合層の一部、側壁及び少なくとも上記ゲート絶縁層の一部とその上方に位置する導電膜とを残すようにバターニングする工程と、

上記バターニングされたゲート電極及びその下方の複合層をマスクとして、半導体基板に不純物イオンの注入を行って上記各ソース・ドレイン領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、情報記憶機能を有する半導体装置およびその製造方法に係り、特に、書換え、読み出し、記憶保持等の機能の向上対策に関する。

【0002】

【従来の技術】 従来より、半導体を用いて情報の記憶する装置（いわゆる半導体メモリ）の一つとしてDRAM (Dynamic Random Access Memory)が広く使用されている。代表的なDRAMの単位記憶素子（メモリセル）は1個の蓄積容量と1個のスイッチングMOS (Metal-Oxide-Semiconductor) FETからなり、選択されたメモリセルの蓄積容量に蓄えられた電荷の状態に対応する電圧をピット線からデジタル信号の“0”あるいは“1”として取り出すことで記憶データを読み出す。DRAMの記憶データは電源を切ると瞬時に消えてしまうつまり揮発性を有する。また、一度読み出すと消えてしまう“破壊読み出し”であるため、リフレッシュ動作（読み出したデータを再書き込みする動作）が必要である。

【0003】 一方、電源を切っても記憶していたデータ

が保持されていることを特徴とする不揮発性メモリとしてフラッシュEEPROM(Electrically Erasable Programmable Read Only Memory)などがある。代表的なフラッシュEEPROMのメモリセルは制御ゲート電極と半導体基板の間に浮遊ゲート電極を有するいわゆるスタックトゲート(Stacked gate)構造の1個のMOSFETからなり、この浮遊ゲートに蓄積された電荷の量によるMOSFETのしきい値変化で、データを記憶する。データを書き込むには、ドレイン領域に高電圧を印加して発生したホットキャリアがゲート酸化膜のエネルギー障壁を乗り越えることで、あるいはゲート酸化膜に高電界を印加してF-N(Fowler-Nordheim)トンネル電流を流すこと、電荷(一般には電子)を半導体基板から浮遊ゲートに注入する。データの消去は、上記とは逆方向の高電界をゲート酸化膜に印加し浮遊ゲートから半導体基板に電荷をF-Nトンネルによって引き抜くことにより行なう。フラッシュEEPROMはDRAMの様なリフレッシュ動作が不要な反面、DRAMに較べデータ書き込み及び消去に要する時間が桁違いに長い。

【0004】その他の不揮発性メモリとしてNV-DRAM(Non-Volatile DRAM)があり、代表的なNV-DRAMのメモリセルはゲート絶縁膜として強誘電体膜を用いた1個のMFS(Metal-Ferroelectric-Semiconductor)FETからなり、この強誘電体膜のイオン分極の状態を電界を印加する向きにより変化させることで、該MFSFETのしきい値を変えデータを記憶するものがある。また、例えば特開平4-97564号公報に開示されるように、上記強誘電体膜のイオン分極をあたかも“電子双極子”による分極に置き換えた半導体装置がある。これは、図24および図25に示されるように絶縁膜障壁の間に設けられた複数の活性領域が上記強誘電体膜の単位結晶格子に各々対応し、印加する電界により該各活性領域内に設けられたトンネル障壁を介して伝導キャリアが行き来することで、該伝導キャリアを局在させデータを記憶するように構成されている。これらのNV-DRAMは分極のメモリ効果により本質的には不揮発性であるが、DRAMと同様に破壊読み出しであるため、読み出し時にはリフレッシュ動作が必要である。

【0005】

【発明が解決しようとする課題】一般に、高速化、低消費電力化、携帯化・小型化といったことが望まれる将来の電子機器に適用するのに理想的な半導体メモリとは、DRAMとフラッシュEEPROMとの利点を両者併せ持ったものである。即ち、下記要件

(a) DRAMにあってフラッシュEEPROMに無い利点として、データの読み出しあはもちろんのことデータの書き込み・消去についても数100n秒あるいはそれ以下の時間で高速に行なうことができる

(b) 同様に、DRAMにあってフラッシュEEPROMに無い利点として10年の間(10年は産業上・工

業上的一般的な目安である)果断無くデータ書換えを行なえるだけの最大書換え回数を有していること

(c) フラッシュEEPROMにあってDRAMに無い利点として、ある位置にキャリアが存在すると該キャリアを該位置から流失させようとする向きの電界が内部発生するが、該電界下にあっても一旦記憶したデータを電源無しで10年間保持し続けることができる

10 (d) 同様に、フラッシュEEPROMにあってDRAMに無い利点として、低消費電力の観点から出来れば破壊読み出しへはすこと、即ちデータ読み出しの度のリフレッシュ動作が不要であることを満たす必要がある。

【0006】一般に、近年の不揮発性メモリーは厚さ10nm程度のゲート絶縁膜を有するMIS型半導体装置を用いており、その絶縁膜領域の中に少なくとも 10^{12} 個/ cm^2 オーダーのキャリアを存在させるか否かによってデータを記憶する方式でとっている。これに伴なうキャリアの移動は一般に絶縁膜領域の中に設けられた障壁をトンネルさせることで行なわれており、この時の電流を I_t とすると、上記の要件(a)～(d)はより具体的に各々以下のように言い換えられる。

【0007】(A) 書換え・消去時には、 $1\text{A}/\text{cm}^2$ 程度の大きな電流 I_t が必要である。それに加えて、消費電力や集積回路設計などの観点から必要となる印加電圧(いわゆる書き込み電圧)が大きくとも $\pm 20\text{V}$ 程度か、それ以下であることが望ましい。

【0008】(B) 少なくとも 10^{10} 回以上(破壊読み出しへはすこと)には2～3桁小さいてもよく例えば 10^{14} 回以上)の書換えが可能でなければならない。

30 【0009】(C) データ保持時において、キャリア存在による発生電界に相当する所の少なくとも $\pm 0.5\text{V}$ から $\pm 1\text{V}$ の電圧範囲内で電流 I_t が約 $10^{-16}\text{A}/\text{cm}^2$ 以下の極めて小さい値であることが必要である。

【0010】(D) 破壊読み出しへはさないには、その電圧範囲内として読み出しが実用的な動作電圧範囲、例えば少なくとも $\pm 1\text{V}$ から $\pm 2\text{V}$ 程度であることが望ましい(動作電圧範囲の大きさ以外は上記(C)と同じであり、結果的に上記(C)の付随的な要件となる)。

40 【0011】以上のように、理想的なトンネル障壁は、およそ15桁以上にもわたってその抵抗値が可変であるとともに低電界下では絶縁体と同等の高抵抗値を有する等の厳しい条件を満たす必要がある。そのため、従来技術において、以上の要件全てを満たす半導体メモリはおろか、上記要件(A)あるいは(B)と(C)のみを満たしている不揮発性の半導体メモリも存在しない。DRAMは破壊読み出しへはためデータ読み出しの度にリフレッシュ動作が必要であるだけでなく、蓄積容量に蓄えられた電荷が徐々にリークして失われるため、データ読み出しが全く行なわれない場合でも一定時間(いわゆ

50

るリフレッシュ時間で、一般に1m秒から100m秒の間)の度にリフレッシュ動作が必要である。したがって、データが揮発性であるだけでなく、消費電力が大きいという欠点がある。

【0012】一方、フラッシュEEPROMなどは電源を切ってもデータが保持されおかつリフレッシュ動作も不要であるといった利点を有する反面、該半導体装置の内部、特に該ゲート酸化膜に極めて大きな電界(一般に10MV/cm程度あるいはそれ以上でありシリコン酸化膜の最大誘電破壊電界近くにまで達する)を印加する必要があるために、信頼性の確保が難しく書換え回数が最大10⁴回から10⁵回程度に制限される。また、上記信頼性とのトレードオフの関係で書込みないし消去時の印加電界と電流には一定の上限が存在し、これに対応してデータ書込み及び消去に要する時間は一般的DRAMの数10nmに較べて桁違いに長い(代表的な書込みおよび消去時間は各々数10μ秒および数10m秒)という欠点を有する。

【0013】さらに、フラッシュEEPROMはスタックトゲート構造のために、その容量カップリング比に応じた大きい書込みおよび消去電圧が必要となる。例えば、図4のE4タイプのエネルギーレベル特性を有する厚さ8nmのゲート酸化膜を持つスタックトゲート型フラッシュEEPROMの場合には、書込みないしは消去に15Vから20V程度の高電圧を印加する必要がある。それ故、集積回路メモリ素子とするには上記高電圧の発生回路などが別途必要になるなどの弊害と共に、電圧が高い分だけ余計に電力を消費することになる。また、代表的なホットキャリアによるデータ書込む方式では、ホットキャリアの浮遊ゲートへの注入効率があまり大きくないため書込み時にさらに多くの電力を消費する欠点を有する。

【0014】また、代表的なNVDRAMであるMFSFETに関しては、その強誘電体の材料自体の問題が大きく、現時点まで実用には至っていない。MFSFETに用いる場合に要求される数100nm以下の膜厚まで強誘電体膜を薄くしていくと上記イオン分極の程度が実用上不十分なほど小さくなってしまう傾向、FETとして実用上十分な程度に安定で良好な半導体との界面を得ることが極めて困難なこと、反応性の高い材料が多い等のため膜形成の前後の工程が著しく制限されること、書換え回数に伴って上記イオン分極の程度が弱くなっていくいわゆる膜疲労(代表的な最大書換え回数はせいぜい10¹⁰回程度)、および膜の絶縁破壊など多くの問題が根深く存在する。

【0015】一方、特開平4-97564号公報に記された半導体装置に関しては、図22および図23ないしは該公報中の特許請求の範囲に示されるように、その絶縁膜障壁の中に上記強誘電体膜の単位結晶格子に各々対応するような複数の活性領域が存在し、かつ該各活性領

域内に各々1個のトンネル障壁が存在している。しかしながら、特に後者の特徴から該半導体装置は理想的な半導体メモリに関する上記要件を満たすことが困難である。図4のE1タイプのエネルギーレベル特性は、上記公報に示される構造を有しかつ最も単純な活性領域が1個のみである場合について説明するものであって、活性領域を両側から囲み込む周辺障壁領域はその内部に存在する伝導キャリアが直接トンネルなどで外部にリークしないように厚さ6nm程度とし、直接トンネルが起きる厚さ3nm程度のトンネル障壁について、そのエネルギー障壁△E_tが1.4eVと3.2eVの二つの場合の例を示した。同図から、現状実在する障壁の中ではかなり高い部類に属する3.2eVの場合でさえも、データ保持時の低電圧範囲における電流I_tが極端に大きく上記要件(C)及び(D)を同時に満たすことは極めて困難である。同図から分かるように、より低い1.4eVの障壁の場合には、データ保持時の低電圧域における電流I_tがさらに大きくなる。このような低電圧域では直接トンネルによる電流が支配的であるが、その一方で、高速書換えを行なう10⁻³A/cm²以上の領域では上記トンネル障壁膜によそ10MV/cm近くの高電界が印加されており、F-Nトンネル電流成分がかなり支配的になる。即ち、直接トンネルが起きるような薄いトンネル障壁の場合でも、高速書換え時にはフラッシュEEPROMとほぼ同程度の高電界がそのトンネル障壁に印加されることが同図から読み取れる。それ故、フラッシュEEPROMと同様、上記公報の半導体装置では最大書換え回数が本質的に制限されるなど上記要件(B)を満たすことも困難である。なお、以上の結論は、トンネル障壁の厚さ、エネルギー障壁△E_t、および周辺障壁領域の厚さ等が上記例で用いた値以外であっても、本質的に変わらない。また、以上は活性領域が1個のみである単純な場合を例にとって説明したが、複数の活性領域を有する場合についても全く同じことが言える。以上まとめると、上記公報の半導体装置は上記要件の少なくとも(A)を満たすことは困難である。また、要件(B)を満たすことも困難であり、さらに要件(C)及び(D)を同時に満たすことも困難である。また、図22および図23ないしは該公報中の特許請求の範囲にも示されるように、上記公報に記された半導体装置は“電子双極子”による分極効果を利用する性質上、その絶縁膜障壁の中に存在する活性領域は必ず複数である必要がある。それ故、該半導体装置の障壁領域の厚さは、例えば周辺障壁領域およびトンネル障壁3の厚さをそれぞれ上述の例と同じ6nmおよび3nmとすると、活性領域が最も少ない2つあるいは3つの場合でもそれぞれ24nmおよび33nmかそれ以上の値になる。なお以上の試算には、活性領域内の低障壁領域の厚さを含んでいないため、実際の障壁領域はさらに厚い。現在あるいは近い将来のMIS型不揮発性メモリでは微細化・高集積化等を

実現する必要性からそのゲート絶縁膜は10nm程度と薄いことを鑑みると、上記公報に記された半導体装置の絶縁膜領域はかなり厚く高集積回路装置には本質的に不向きである。

【0016】本発明の目的は、低消費電力で安定かつ高速に情報の記憶もしくは処理を行なう半導体装置およびその製造方法を提供することにあり、特に上記問題点に鑑み、少なくとも上記要件(A)及び(C)を同時に満たし、より好ましくはすべての要件(A)～(D)を同時に満たすことができる半導体メモリ装置およびその製造方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するためには本発明が講じた手段は、多重トンネル構造を有する障壁を介して貯蔵領域から伝導キャリアを出入させることにある。

【0018】具体的に請求項1の発明の講じた手段は、伝導キャリアを貯蔵するための少なくとも一つの伝導キャリア貯蔵部を備えた半導体装置において、上記伝導キャリア貯蔵部を、伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する少なくとも2つの障壁領域と、上記各障壁領域の間に介設され、上記伝導キャリア供給源から供給される伝導キャリアが安定に存在しうる低いエネルギー準位を有する少なくとも1つの貯蔵領域とで構成するとともに、上記各障壁領域のうち少なくとも一方を、伝導キャリアのトンネリングによる通過が可能なエネルギー準位を有する少なくとも2つのトンネル障壁と、該各トンネル障壁の間に介設され上記トンネル障壁よりも低いエネルギー準位を有する少なくとも2つの低障壁領域とからなる多重トンネル構造を有するように構成したものである。

【0019】請求項2の発明の講じた手段は、請求項1記載の半導体装置において、上記伝導キャリア貯蔵部に配設される貯蔵領域の個数を1つとし、障壁領域の個数を2つとする。そして、上記2つの障壁領域のうち一方のみ上記多重トンネル構造を有し、他方は多重トンネル構造を有しないように構成したものである。

【0020】請求項3の発明の講じた手段は、請求項1記載の半導体装置において、上記伝導キャリア貯蔵部に配設される貯蔵領域の個数を2つとし、障壁領域の個数を3つとする。そして、少なくとも上記各貯蔵領域の間の障壁領域が多重トンネル構造を有するように構成したものである。

【0021】請求項4の発明の講じた手段は、請求項3記載の半導体装置において、上記各貯蔵領域の互いに對向する面とは反対側の面に隣接する2つの障壁領域を、多重トンネル構造を有しないように構成したものである。

【0022】請求項5の発明の講じた手段は、請求項1、2、3又は4記載の半導体装置において、上記多重

トンネル構造を有する障壁領域内の低障壁領域を、両側のトンネル障壁のうち一方のトンネル障壁からの入射波と他方のトンネル障壁からの反射波との位相がほぼ前うように構成したものである。

【0023】請求項6の発明の講じた手段は、請求項5記載の半導体装置において、上記多重トンネル構造を有する障壁領域内の低障壁領域を、伝導キャリアのド・ブロイ波長と同程度又はそれ以下の厚みを有する薄膜材料で構成したものである。

【0024】請求項7の発明の講じた手段は、請求項5又は6記載の半導体装置において、上記多重トンネル構造を有する障壁領域内の低障壁領域を、上記貯蔵領域のエネルギー準位よりも所定値だけ高いエネルギー準位を有する薄膜材料で構成したものである。

【0025】請求項8の発明の講じた手段は、請求項3又は4記載の半導体装置において、上記伝導キャリア貯蔵部内に、キャリア供給源を設けたものである。

【0026】請求項9の発明の講じた手段は、請求項1、2、3又は4記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記半導体基板の表面領域に形成され少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成された電極とを備えるものとする。そして、上記伝導キャリア貯蔵部を、メモリ部として機能するように構成したものである。

【0027】請求項10の発明の講じた手段は、請求項1、2、3又は4記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備えるものとする。そして、上記伝導キャリア貯蔵部を、メモリ部として機能するように構成したものである。

【0028】請求項11の発明の講じた手段は、請求項2記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記半導体基板の表面領域に形成され少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成された電極とを備えるものとする。そして、上記伝導キャリア貯蔵部の貯蔵領域に存在する伝導キャリア量に対応させて情報の記憶、処理を行うように構成したものである。

【0029】請求項12の発明の講じた手段は、請求項3又は4記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記半導体基板の表面領域に形成され少なくとも一部が上記伝導キャリア貯蔵部に接する1つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成された電極とを備えるものとする。そして、上記伝導キャリア貯蔵部の内部で上記伝導キャリアが上記2つの貯蔵領域に分配される割合に対

応させて情報の記憶、処理を行うように構成したものである。

【0030】請求項13の発明の講じた手段は、請求項2記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備えるものとする。そして、上記伝導キャリア貯蔵部の貯蔵領域に存在する伝導キャリア量に対応させて情報の記憶、処理を行うように構成したものである。

【0031】請求項14の発明の講じた手段は、請求項3又は4記載の半導体装置において、上記伝導キャリア貯蔵部を半導体基板の上に形成し、上記伝導キャリア貯蔵部の両端付近の下方に設けられた2つのソース・ドレイン領域と、上記伝導キャリア貯蔵部の上に形成されたゲート電極とを備えるものとする。上記伝導キャリア貯蔵部の内部で上記伝導キャリアが上記2つの貯蔵領域に分配される割合に対応させて情報の記憶、処理を行うように構成したものである。

【0032】請求項15の発明の講じた手段は、請求項10, 13又は14記載の半導体装置において、上記2つのソース・ドレイン領域のうち少なくとも一方を上記伝導キャリア貯蔵部と所定の間隙をもって形成し、上記伝導キャリア貯蔵部の上記ソース・ドレイン領域と所定の間隙を隔てた側部にかつ上記間隙の寸法よりも薄く形成された絶縁膜側壁と、上記絶縁膜側壁からソース・ドレイン領域に亘る半導体基板上に設けられたゲート絶縁膜と、上記ゲート絶縁膜上のゲート電極とを備えるものとする。そして、上記ゲート電極を上記キャリア貯蔵部の上のゲート電極と共通の導電性部材で構成したものである。

【0033】請求項16の発明の講じた手段は、請求項1, 2, 3又は4記載の半導体装置において、上記半導体装置をDRAMメモリセルとする。そして、上記伝導キャリア貯蔵部を上記DRAMメモリセルの容量電極とプレート電極との間に介設し、メモリ部として機能するように構成したものである。

【0034】請求項17の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をSiO₂の薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をSiの薄膜で構成したものである。

【0035】請求項18の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をSi₃N₄の薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をSiの薄膜で構成したものである。

【0036】請求項19の発明の講じた手段は、請求項

14又は15記載の半導体装置において、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域を、アモルファスSiの薄膜で構成したものである。

【0037】請求項20の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をAlAsの薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をGaAsの薄膜で構成したものである。

【0038】請求項21の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をGaAlAsの薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をGaAsの薄膜で構成したものである。

【0039】請求項22の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をSiO₂の薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をSiCの薄膜で構成したものである。

【0040】請求項23の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をGaAlNの薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をGaNの薄膜で構成したものである。

【0041】請求項24の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁をSiの薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域をSiGeの薄膜で構成したものである。

【0042】請求項25の発明の講じた手段は、請求項1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12又は13記載の半導体装置において、上記伝導キャリア貯蔵部のトンネル障壁を単結晶半導体の薄膜で構成し、上記伝導キャリア貯蔵部の貯蔵領域及び低障壁領域を上記単結晶半導体の表面における格子定数とほぼ等しい格子定数を有する物質の薄膜で構成したものである。

【0043】請求項26の発明の講じた手段は、第1導電性部材と第2導電性部材との間に複合層からなる伝導キャリア貯蔵層を形成するための半導体装置の製造方法として、上記伝導キャリア貯蔵層を形成する工程に、伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する第1絶縁層を形成する工程と、上記第1絶縁層の上に、伝導キャリアの貯蔵が可能な低いエネルギー準位を有する第1貯蔵層を形成する工程と、上記第1貯蔵層の上に、伝導キャリアの移動に対して抵抗を与える高いエネルギー準位を有する第2絶縁層を形成する工

程とを備える。そして、上記各絶縁層を形成する工程のうち少なくともいずれか1つの工程では、第1導電性部材のエネルギー準位より高くかつ伝導キャリアのトンネリングによる通過が可能なエネルギー準位を有するトンネル絶縁層と、該トンネル絶縁層より低いエネルギー準位を有する低障壁層とを交互に、かつ最下部及び最上部がトンネル絶縁層となる多重トンネル構造を有する層を形成する方法である。

【0044】請求項27の発明の講じた手段は、請求項26記載の半導体装置の製造方法において、上記第1絶縁層を形成する工程では、上記多重トンネル構造を有する絶縁層を形成し、上記第2絶縁層を形成する工程では、上記多重トンネル構造を有しない絶縁層を形成する方法である。

【0045】請求項28の発明の講じた手段は、請求項26記載の半導体装置の製造方法において、上記第1絶縁層を形成する工程では、上記多重トンネル構造を有しない絶縁層を形成し、上記第2絶縁層を形成する工程では、上記多重トンネル構造を有する絶縁層を形成する。そして、上記伝導キャリア貯蔵層を形成する工程に、さらに、上記第2絶縁層の上に伝導キャリアの貯蔵が可能な低いエネルギー準位を有する第2貯蔵層を形成する工程と、上記第2貯蔵層の上に第3絶縁層として伝導キャリアの移動に対する抵抗を与える高いエネルギー準位を有しかつ上記多重トンネル構造を有しない絶縁層を形成する工程とを設ける方法である。

【0046】請求項29の発明の講じた手段は、請求項28記載の半導体装置の製造方法において、上記第1絶縁層の形成工程より後でかつ上記第2導電部材の形成工程より前に伝導キャリアの供給源を形成する工程を設ける方法である。

【0047】請求項30の発明の講じた手段は、請求項29記載の半導体装置の製造方法において、上記伝導キャリアの供給源を、上記第1貯蔵層及び第2貯蔵層のうち少なくともいずれか一方に形成する方法である。

【0048】請求項31の発明の講じた手段は、請求項29記載の半導体装置の製造方法において、上記伝導キャリアの供給源を、上記各トンネル層のうち少なくともいずれか一つに形成する方法である。

【0049】請求項32の発明の講じた手段は、請求項28記載の半導体装置の製造方法において、上記第3絶縁層の上に上記第1貯蔵層から第3絶縁層に亘る複合層を形成する工程を複数回行って、複数の伝導キャリア貯蔵層を形成する方法である。

【0050】請求項33の発明の講じた手段は、請求項26, 27, 28, 29, 30, 31又は32記載の半導体装置の製造方法において、上記多重トンネル構造を有する絶縁層を形成する工程では、2つのトンネル絶縁層と1つの低障壁層とを形成する方法である。

【0051】請求項34の発明の講じた手段は、請求項

26, 27, 28, 29, 30, 31, 32又は33記載の半導体装置の製造方法において、上記第1導電性部材は、半導体基板及び半導体基板の表面領域に形成された1つのソース・ドレイン領域であり、上記伝導キャリア貯蔵層を半導体基板及び上記1つのソース・ドレイン領域の一部の上に亘って形成する方法である。

【0052】請求項35の発明の講じた手段は、請求項23, 24, 25, 26, 27, 28, 29又は30記載の半導体装置の製造方法において、上記第1導電性部材を、半導体基板及び半導体基板の表面領域に所定の間隔をもって形成された2つのソース・ドレイン領域とする。そして、上記伝導キャリア貯蔵層を、2つのソース・ドレイン領域の端部及びその間の半導体基板の上に亘って形成する方法である。

【0053】請求項36の発明の講じた手段は、請求項23, 24, 25, 26, 27, 28, 29又は30記載の半導体装置の製造方法において、上記第1導電性部材をDRAMメモリセルの容量電極とし、上記第2導電性部材をDRAMメモリセルのプレート電極とする。そして、上記伝導キャリア貯蔵層を上記容量電極とプレート電極との間に形成する方法である。

【0054】請求項37の発明の講じた手段は、請求項27記載の半導体装置の製造方法において、上記第1貯蔵層を形成する工程及び低障壁層を形成する工程ではシリコン膜を形成し、上記各トンネル絶縁層を形成する工程ではシリコン酸化膜を形成するように行う方法である。

【0055】請求項38の発明の講じた手段は、請求項28記載の半導体装置の製造方法において、上記第1導電性部材をシリコン半導体で構成する。そして、上記第1絶縁層を形成する工程では、第1導電性部材の半導体基板のシリコン半導体の表面付近を酸化、窒化のうち少なくともいずれかの処理を行なう方法である。

【0056】請求項39の発明の講じた手段は、請求項26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37又は38記載の半導体装置の製造方法において、上記貯蔵層を形成する工程及び低障壁層を形成する工程では、シリコン膜を形成し、上記各トンネル絶縁層を形成する工程では、シリコン酸化膜を形成するように行なう方法である。

【0057】請求項40の発明の講じた手段は、請求項39記載の半導体装置の製造方法において、上記貯蔵層を形成する工程及び低障壁層を形成する工程では、アモルファス状のシリコン膜を形成する方法である。

【0058】請求項41の発明の講じた手段は、請求項26, 27, 28, 29, 30, 31, 32, 33, 34, 35, 36, 37又は38記載の半導体装置の製造方法において、上記貯蔵層を形成する工程及び低障壁層を形成する工程では、シリコン単結晶膜を形成し、上記各トンネル絶縁層を形成する工程では、上記シリコン単結晶膜を形成する工程では、上記シリコン単結晶膜を形成する方法である。

晶と接触面での格子定数がほぼ等しい誘電体物質の膜を形成し、上記各膜をエピタキシャル成長を利用して形成する方法である。

【0059】請求項42の発明の講じた手段は、請求項27又は28記載の半導体装置の製造方法において、上記多重トンネル構造を有しない絶縁層を形成する工程では、シリコン酸化膜、シリコン窒化酸化膜、シリコン窒化膜及びその複合膜のうちいずれか1つを形成する方法である。

【0060】請求項43の発明の講じた手段は、請求項35記載の半導体装置の製造方法において、さらに、上記伝導キャリア貯蔵層を構成する複合層を形成した後、形成された複合層のうち所望する部分を残してそれ以外の部分を除去する工程と、上記工程によりパターン化された複合層の一方の側部に絶縁体膜からなる側壁を形成する工程と、上記側壁の側方の半導体基板上にゲート絶縁層を形成する工程と、上記パターン化された複合層、側壁及びゲート絶縁層の上に上記ゲート電極となる導電膜を堆積する工程と、少なくとも上記パターン化された複合層の一部、側壁及び少なくとも上記ゲート絶縁層の一部とその上方に位置する導電膜とを残すようにバーニングする工程と、上記バーニングされたゲート電極及びその下方の複合層をマスクとして、半導体基板に不純物イオンの注入を行って上記各ソース・ドレイン領域を形成する工程とを設ける方法である。

【0061】請求項44の発明の講じた手段は、請求項35記載の半導体装置の製造方法において、上記伝導キャリア貯蔵層を構成する複合層を形成した後、形成された複合層のうち所望する部分を残してそれ以外の部分を除去する工程と、上記工程によりパターン化された複合層の両側部に絶縁体膜からなる側壁を形成する工程と、上記各側壁の側方の半導体基板上にゲート絶縁層を形成する工程と、上記パターン化された複合層、側壁及び各ゲート絶縁層の上に上記ゲート電極となる導電膜を堆積する工程と、少なくとも上記パターン化された複合層の一部、側壁及び少なくとも上記ゲート絶縁層の一部とその上方に位置する導電膜とを残すようにバーニングする工程と、上記バーニングされたゲート電極及びその下方の複合層をマスクとして、半導体基板に不純物イオンの注入を行って上記各ソース・ドレイン領域を形成する工程とを設ける方法である。

【0062】

【作用】以上の構成又は方法により、各請求項の発明では、以下のような作用が得られる。

【0063】請求項1の発明では、伝導キャリア貯蔵部において、伝導キャリアが貯蔵領域に保持されると、伝導キャリア貯蔵部の障壁領域を構成する誘電物質の分極特性を利用して、貯蔵領域における伝導キャリアの存否つまり情報の読み出しが可能となる。また、多重トンネル構造を有する障壁領域を介して、貯蔵領域と外部との

間で伝導キャリアを移動させる場合、当該障壁領域のエネルギー準位に相当する電圧以下の電圧を印加するだけで、伝導キャリアの移動が制御される。したがって、情報の書き込み、消去のための電圧は低くて済み、高い信頼性を保持しながら極めて多数回の情報の書換えが可能となる。

【0064】一方、伝導キャリアが貯蔵領域に存在している状態で情報を読み出す場合、伝導キャリア貯蔵領域に低い電圧を印加すると、多重トンネル構造を有する障壁領域を介して、貯蔵領域にある伝導キャリアの一部が外部に移動しようとするが、複数のトンネル障壁を越える確率は単一のトンネル障壁を越える確率を乗じた値となることから、極めてわずかの伝導キャリアの移動が生じるだけである。つまり、非破壊読み出しが可能となり、かつ長期間のデータ保持が可能となる。

【0065】請求項2の発明では、上記請求項1の発明の作用を維持しながら、伝導キャリア貯蔵部全体の膜厚が極めて薄くなり、微細かつ集積度の高い半導体装置を構成することが可能となる。

【0066】請求項3の発明では、伝導キャリア貯蔵部に2つの貯蔵領域が形成され、この2つの貯蔵領域の間には多重トンネル構造を有する障壁領域が形成されているので、伝導キャリアが存在する貯蔵領域の変化に伴う分極特性の変化を利用して、請求項1の発明の作用が得られる。

【0067】請求項4の発明では、請求項3の発明の作用に加え、伝導キャリア貯蔵部の両端が多重トンネル構造ではない障壁領域で構成されているので、いったん貯蔵領域に導入された伝導キャリアは、この障壁領域を越えて外部に流失して失われることがほとんどなく、極めて長期間のデータ保存が可能となる。

【0068】請求項5、6及び7の発明では、多重トンネル構造を有する障壁領域を伝導キャリアが通過する際、低障壁領域で入射波と反射との位相がほぼ一致することで、いわゆる共鳴トンネリングが生じる。したがって、伝導キャリア貯蔵部に印加される電圧が一定の低い値でも、当該障壁領域を伝導キャリアが通過する確率がほぼ「1」となり、情報の書き込み、消去のための電圧を極めて低く設定することが可能となる。そして、このことにより、信頼性がさらに向上し、書換え回数が顕著に向上することになる。

【0069】請求項8の発明では、伝導キャリア貯蔵部以外に設けたキャリア供給源から伝導キャリアを伝導キャリア貯蔵部内に注入する必要がなく、半導体装置の構成や動作が簡素化される。

【0070】請求項9及び10の発明では、半導体装置が、長期間に亘ってデータの高速書換えが可能でかつ書換え可能回数の極めて多いフラッシュEEPROMとして機能することになる。特に請求項9の発明では、1つのソース・ドレイン領域で済み、構造が極めて簡素化さ

れ、極めて微細な集積度の高い半導体装置を構成することが可能となる。

【0071】請求項11～14の発明では、記憶可能な情報の種類が多様となり、あるいはアナログ情報の記憶、読み出し等が可能となり、半導体装置の適用分野が拡大する。

【0072】請求項15の発明では、伝導キャリア貯蔵部を備えた記憶用MISFETの側方（又は両側方）に選択用MISFETが形成されているので、半導体装置の集積度を高くした場合にもディスターブ現象が防止される。その際、記憶用MISFETと選択用MISFETでゲート電極を共有させる構造とすることで、集積度を高くでき、特に多重トンネル構造を有する障壁領域を内蔵した伝導キャリア貯蔵部をメモリセルとして利用する場合に適した構造となる。

【0073】請求項16の発明では、半導体装置が不揮発性のDRAMメモリセルとして機能し、読み出し時のリフレッシュ動作や、一定時間ごとのリフレッシュ動作が不要となり、消費電力が大幅に低減する。

【0074】請求項17～25の発明では、伝導キャリア貯蔵部の各部が適正なエネルギー準位を持った材料で構成されるので、トンネリング機能の良好な多重トンネル構造を有する障壁領域が得られる。

【0075】請求項26、27、28の方法により、それぞれ請求項1、2、4の発明に対応する半導体装置が形成される。

【0076】請求項29～31の方法により、伝導キャリア貯蔵層内に伝導キャリア供給源が容易に形成される。

【0077】請求項32の方法により、情報の書き込み、消去を高い信頼性をもって行うことが可能な半導体装置が形成される。

【0078】請求項33の方法により、多重トンネル構造を有する障壁層が極めて薄い膜厚で形成され、半導体装置の集積度が向上する。

【0079】請求項34又は35の方法により、それぞれ上記請求項9、10の発明に対応したフラッシュEEPROMが形成される。

【0080】請求項36の方法により、請求項15の発明に対応する不揮発性のDRAMメモリセルが形成される。

【0081】請求項37の方法により、薄い絶縁層が容易に形成される。

【0082】請求項38又は39の方法により、貯蔵層と多重トンネル構造を有する層とが比較的容易に形成され、半導体装置の製造コストが安価となる。

【0083】請求項40又は41の方法により、多重トンネル構造を有する層を構成する各膜の平滑度が向上するので、特に共鳴トンネリングを行わせるのに適した構造となる。

【0084】請求項42の方法により、多重トンネル構造を有しない絶縁層が容易に形成され、半導体装置の製造コストが低減する。

【0085】請求項43、44の方法により、ディスターブ現象のない半導体装置が高い集積度で形成されることになる。

【実施例】以下、本発明の実施例について説明する。

【0087】（第1実施例）まず、第1実施例について、図1（a）、（b）、図2（a）、（b）、図3及び図4を参照しながら説明する。

【0088】図1（a）は、第1実施例による複数のトンネル障壁を有する半導体装置の構造を示す断面図であり、図1（b）は該装置の電子ボテンシャルエネルギーの分布を示す模式図である。図1（a）、（b）において、符号1はSi単結晶からなる半導体基板であり、符号6は多結晶Si膜からなる電極であって、半導体基板1と電極6との間に、2つの容量部10、10（伝導キャリア貯蔵部）が設けられている。なお、この例では半導体基板1はソース・ドレイン領域となっているが、半導体基板の代わりに電極としてもよい。また、半導体基板1を構成する半導体として、Si以外のGe、GaAs等の半導体を使用してもよい。各容量部10は、伝導キャリアが貯蔵可能に構成された2つの貯蔵領域11a、11bと、各貯蔵領域11a、11bの間に介在する第1障壁領域14と、上記各貯蔵領域11a、11bの第1障壁領域14に隣接する面と対向する面に隣接して設けられた3つの第2障壁領域15、15とかなる。ただし、この例では、図中中央の第2障壁領域15は、各容量部10、10によって共有されている。さらに、上記第1障壁領域14は、各貯蔵領域11a、11bに隣接する2つのトンネル障壁13a、13bと、該各トンネル障壁13a、13bとの間に介設された低障壁領域12とかなり、多重トンネル構造を有している。また、中央の第2障壁領域15には、伝導キャリア供給源7が形成されている。

【0089】ここで、図1（b）に示すように、貯蔵領域11a、11bは、各第2障壁領域15およびトンネル障壁13a、13bよりも電子ボテンシャルエネルギーの小さな半導体、半絶縁体、ないしは金属から構成され、その内部に伝導電子を閉じ込めることが可能に構成されている。また、低障壁領域12も、第2障壁領域15およびトンネル障壁13a、13bよりも小さな電子ボテンシャルエネルギーを有し、真性あるいは半真性の半導体、半絶縁体、ないしは絶縁体から構成されている。トンネル障壁13a、13bは、貯蔵領域11a、11bよりも△Etだけ大きい電子ボテンシャルエネルギーを有する半絶縁性の半導体、半絶縁体、ないしは絶縁体から構成される。この例では、上記第2障壁領域15及びトンネル障壁13a、13bはSiO₂膜で構成

され、貯蔵領域11a, 11b及び低障壁領域12はアモルファスSiで構成されている。伝導キャリア（この例では電子）を供給するための伝導キャリア供給源7は、図中中央の第2障壁領域15を構成するSiO₂膜内にドナーとなる不純物原子を導入して形成されている。この伝導キャリア供給源7は、容量部10の内部に設ける場合には、第2障壁領域15、トンネル障壁13a, 13b、貯蔵領域11a, 11bのいずれか、ないしはその2つあるいは3つの組合せ、ないしはその全部の領域内部に設けてもよい。また、キャリア供給源7を容量部10の外部に設けてもよい。例えば、半導体基板1と電極6との間に電界を印加して、最初だけF-Nトンネル電流を流して、容量部に注入すれば、その後はその伝導キャリアを容量内部に閉じ込めておくことができる。その場合、半導体基板1（具体的にはソース・ドレン）又は電極6のいずれかが伝導キャリア供給源として機能することになる。

【0090】図1（b）に示す例では、第2障壁領域15の内部にキャリア供給源7が形成されており、ここから各容量部10に伝導電子が供給される。この半導体装置の使用中、伝導電子は貯蔵領域11aおよび11bのいずれかあるいはその両方に主として存在する。トンネル障壁13a, 13bは、隣接する両側の低ボテンシャルエネルギー領域の間を電子が熱励起によってではなく主にトンネル効果によって移動できる程度に、そのエネルギー障壁△E_tを大きくその膜厚を薄く設定する。

【0091】ここで、上記トンネル障壁13a, 13bと、低障壁領域12及び貯蔵領域11a, 11bとに用いる具体的な材料の組み合せとしては、上記第1実施例におけるSiO₂とSiの他に、例えばAlAsとGaAs, Ga₁AsとGaAs, SiO₂とSiC, Si₃N₄とSi, GaAlNとGaN, SiとSiGeなどが考えられる。一般には、各貯蔵領域11a, 11bは同じ材料を用いる場合が多いが、互いに異なってもよく、また両領域の膜厚が異なっていてもよい。一般には、低障壁領域12および貯蔵領域11a, 11bのボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよく、また、両領域に用いる材料も同じであってもよい。また、一般に、複数のトンネル障壁13a, 13bの各層に用いる材料および膜厚は同じ場合、40が多いが、互いに異なってもよい。一般には、トンネル障壁13a, 13b、各第2障壁領域15のボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよくまたこれらの領域に用いる材料も同じであってもよい。また、各第2障壁領域15の厚さは互いに異なっていてもよい。具体的な一例を示すと、各第2障壁領域15を厚さ5~30nm程度のSiO₂膜で、トンネル障壁13a, 13bを厚さ2~5nm程度のSiO₂膜で、低障壁領域12及び貯蔵領域11a, 11bを厚さ5~30nm程度のアモルファスSi膜でそれぞれ

構成し、伝導キャリア供給源7としては例えば上記貯蔵領域11a, 11bを構成するアモルファスSi膜中にドナー不純物であるP原子を添加したものを用いる。

【0092】上記構成は伝導キャリアが電子の場合であるが、電子の代わりに正孔を伝導キャリアとして用いてもよい。この場合、伝導キャリア供給源7としてはドナー不純物の代わりにアクセプタ不純物を導入して形成する。この例としては、第2障壁領域15を厚さ5~30nm程度のAlAs膜で、トンネル障壁13a, 13bを厚さ2~5nm程度のAlAs膜で、低障壁領域12及び貯蔵領域11a, 11bを厚さ5~30nm程度のGaAs膜でそれぞれ構成し、伝導キャリア供給源7として、例えば上記第2障壁領域15を構成するAlAs膜中にアクセプタ不純物であるMg原子を添加したもの用いる。

【0093】なお、図1（a）, (b)では、各容量部10の第1障壁領域14（多重トンネル構造を有する障壁領域）に2つのトンネル障壁13a, 13bを形成した場合について説明したが、各第1障壁領域14には、トンネル障壁を少なくとも2つ以上設ければよい。即ち、トンネル障壁は3つ以上設けてもよく、トンネル障壁が1つ増える度に低障壁領域12を1つ増やすことになる。また、図1（a）, (b)では2つの容量部10が2つの場合について例示したが、容量部10は1つ以上あればよく、3つ以上設けてもよい。なお、容量部10が1つだけ存在する場合については後の実施例で説明するが、構造が簡素化され工程上有利になるとともに、例えばこの容量部10全体をMIS型半導体装置の絶縁層ないしは半絶縁層に置き換えて用いる場合に該絶縁層ないしは半絶縁層を微細化・集積化する上で充分な程に薄くすることができるという格別の利点を有する。また、上記実施例では、容量部10内に2つの貯蔵領域11a, 11bを設けたが、後述の実施例のごとく貯蔵領域を1つ設けるだけでもよく、あるいは3つ以上設けてもよい。

【0094】次に、本発明の第1実施例による半導体装置の動作を説明する。図1（a）, (b)に示す各容量部10において、伝導キャリア供給源7より発生した伝導キャリア（この例では電子）は主には貯蔵領域11a, 11bのいずれかないしはその両方に存在し、該伝導電子が該両貯蔵領域11a, 11bに分配される割合に応じて情報を表現、記憶することができる。伝導電子は上記各容量部10の内部に閉じ込められ、熱励起などによって第2障壁領域15を越えてその外部に流失して失われることがなく、これによって情報の保持、記憶を行なうことができる。この為には、例えば第2障壁領域15のエネルギー障壁を貯蔵領域11a, 11bに対しておよそ1~1.5eV程度かそれ以上に大きくかつその膜厚を5~6nm以上に厚く設定してやればよい。

【0095】また、半導体基板1と電極6の間に一定の

電圧を加えることにより上記情報の内容を変化・制御（書換え）することができ、これを図2(a), (b)を用いて説明する。図2(a)は、電極6に半導体基板1に対してある正の電位を与えた場合のポテンシャルエネルギー分布であり、例えば貯蔵領域11aの内部にあった伝導電子は、図中矢印で示したように、複数のトンネル障壁13a, 13bを各々透過して貯蔵領域11bへ流れ込む（その時の電流をItとする）。その結果、各容量部10内の伝導電子は、図中に示されるように、その大部分が一方の貯蔵領域11bの内部に分布するようになる。一方、半導体基板1に対して電極6にある負の電位を与えた場合には、例えば貯蔵領域11bの内部にあった伝導電子は、前述の場合と同様に、複数のトンネル障壁13a, 13bを各々透過して今度は他方の貯蔵領域11aへ流れ込む。以上のようにして、各容量部10内の伝導電子の大部分は、貯蔵領域11a, 11bのいずれかに局在するようになる。このように、容量部10の内部で伝導電子が局在することにより該半導体装置には分極が生じ、この分極の向きは外部から印加する電界によって反転させることができ、また一方で外部から電界を印加しない限りはその分極の向きおよび大きさが保存される。その結果、該半導体装置における分極と外部電界との関係は、図3に示すように、ヒステリシスを持つ関係になり、該ヒステリシスを用いて情報の記憶を行なうことができる。

【0096】本発明の第1実施例による半導体装置は、情報の内容を変化させる際に伝導電子が複数の（2つ以上の）トンネル障壁を透過することを一つの特徴としており、これによる作用・効果について図4(b)を用いて説明する。ある電界において伝導電子が1個のトンネル障壁を透過する確率をTとすると、n個のトンネル障壁全てを透過する確率は単純には T^n で表され、この時、片方の貯蔵領域（例えば11a）からもう一方の貯蔵領域（例えば11b）へ流れる電流Itはおおむね上記確率に比例するので、Itはおおよそ $It = kT^n$ （nは正の整数、kは定数）と表記できる。それ故、本発明の第1実施例であるところの $n \geq 2$ の場合と従来例であるところの $n = 1$ の場合の電流Itの大きさを比較すると、前者は後者の T^{n-1} 倍になる。したがって、高電界が印加されトンネル確率Tが大きい場合には両者の間には大きな差は殆ど無い一方で、トンネル確率T自体が小さい低電界の場合には本発明の第1実施例であるところの電流Itは従来例のものに較べ格別に小さく抑えることができる。

【0097】図4において、E2は、本発明の第1実施例であるところの最も単純な容量部10が1個でかつトンネル障壁13a, 13bが2個のみである場合の電子ポテンシャルエネルギー分布を示し、図中曲線E2は、この構造に対応する電流Itと外部印加電圧Vaの関係を試算して得られた特性曲線である。ここで、第2障壁

領域15を厚さ6nm程度、貯蔵領域11a, 11bおよび低障壁領域12は厚さ10nm程度の同じ材料で構成されているとし、厚さ3nm程度のトンネル障壁13a, 13bのエネルギーギャップ値 ΔE_t が1.4eV（破線）及び3.2eV（実線）である場合について示している（直接トンネルが生じる条件下である）。エネルギー差 ΔE_t が1.4eVとなるのは、トンネル障壁13a, 13bがAlAs膜からなり、貯蔵領域11a, 11bがGaAs膜からなる場合である。エネルギー差 ΔE_t が3.2eVとなるのは、トンネル障壁13a, 13bがSiO₂膜からなり、貯蔵領域11a, 11bがSi膜からなる場合である。前述した従来の公報の半導体装置は、図4のE1に示す電子ポテンシャルエネルギー分布を有しており、本発明の第1実施例における容量部10の構造（図4のE2）に較べ、低障壁領域12が無くトンネル障壁が1個である。このような半導体装置の構造の相違によって、両者のIt-Va特性には大きな相違が生じる。つまり、第1実施例（曲線E2）においては、書換えの場合にはこれに要する電圧Vaが従来例よりも若干大きくなるものの、従来例（曲線E1）と同程度に大きい電流Itが得られる一方で、データ保持・読み込みの場合に相当する低電圧範囲での電流Itは従来例に較べると顕著に低減されていることが判る。このように、第1実施例では、各容量部10に複数の（2つ以上の）トンネル障壁13a, 13b及び低障壁領域12からなる多重トンネル構造を有する第1障壁領域14を設けることで、本発明が解決しようとする課題の所で挙げた理想的半導体メモリーに必要な要件（A）及び（C）を同時に満たすことができる。すなわち、実用上十分なデータ保持特性を有するという従来例には無い格別の効果を得ることができる。

【0098】以上、トンネル障壁3が2個である場合を例にとって説明したが、3個以上のトンネル障壁を有する場合についても上述した傾向がより顕著になること以外は2個である場合と本質的に同じことが言える。

【0099】また、以上の結論は、トンネル障壁13a, 13bの厚さ、エネルギー差 ΔE_t 、第2障壁領域15の厚さ、および低障壁領域12の厚さ等が上記第1実施例で用いた値以外であっても、本質的に変わらない。なお、低障壁領域12が半導体の場合には、上記トンネル過程における散乱を最小限に抑える目的から、一般には真性、半絶縁性、あるいは高抵抗のものを用いるが、低障壁領域12を低抵抗の半導体で構成することも可能である。また、以上は容量部10が1個のみである場合についてシミュレーションした結果に基づき説明したが、複数の容量部10を有する場合についても全く同じことが言える。さらに、伝導キャリアとして電子の代わりに正孔を用いても、同様の作用・効果が得られる。

【0100】上記第1実施例における容量部10を、例えばDRAMメモリセルを構成する蓄積容量として用い

ことにより、不揮発性のRAMを構成することができる。例えば、容量電極とプレート電極との間に容量部を介設するつまり従来のDRAMメモリセルの容量絶縁膜を容量部で置き換えることができる。その場合、第1実施例による半導体装置が自己分極効果を有するため、DRAMメモリセルのもう一方の構成要素であるところのスイッチングMOSFETに流れる電流の大きさ（ないしは向き）はこの分極の向きおよび大きさに対応して変化し、これをを利用して記憶データを読み出す。それ故、本発明の第1実施例による不揮発性のRAMは、従来例のDRAMと異なりデータ信号を自己増幅する作用を有し、より高速の読み出しが可能である。

【0101】また、このような容量部10を利用した不揮発性のRAMの分極の向きおよび大きさは、読み出し動作程度の低電界ないしはそれ以下にあっては保存されるため、従来例のDRAMのようなリフレッシュ動作が不要であり、より低消費電力化が達成できるという格別の利点を有する。以上のように、第1実施例による半導体装置を用いることで、高速で低消費電力の不揮発性RAMを実現することができる。

【0102】(第2実施例) 次に、第2実施例について、図5(a), (b)、図6及び図7(a)～(f)を参照しながら説明する。

【0103】図5(a), (b)は、上記第1実施例で説明した容量部10の構造とほぼ同様の構造を有する単一の容量部10を搭載したMISFETの断面構造及び電子ボテンシャルエネルギー分布を示す。図5(a)に示すように、半導体基板1の上に容量部10が設けられ、さらに容量部10の上にゲート電極6が設けられている。そして、容量部10の両端部の下方に位置する半導体基板1の表面領域には、半導体基板1内に不純物を導入してなるソース領域2及びドレイン領域3が形成されている。容量部10の構造は、図1(a)に示す構造と基本的に同じである。ただし、本実施例では、伝導キャリア供給源7は各トンネル障壁13a, 13bに設けられている。

【0104】なお、一般には上記ソース領域2およびドレイン領域3の不純物原子の分布は同じであるが、互いに異なっていてもよい。また、図5(a), (b)では伝導キャリア供給源7がトンネル障壁13a, 13bの内部に有る場合について例示したが、前述したように、伝導キャリア供給源7は、第2障壁領域15、貯蔵領域11a, 11b等に設けてもよい。また、容量部10の外部に設ける場合は、ソース領域2とドレイン領域3との間にホットキャリアを生ぜしめこれを容量部10に注入するか、ソース領域2あるいはドレイン領域3とゲート電極6との間に電界を印加してF-Nトンネル電流を生ぜしめることで、容量部10内に伝導キャリアを注入するようにしてよい。

【0105】また、図5(a), (b)では、各容量部

10に2つのトンネル障壁13a, 13bを形成した場合について説明したが、各容量部10には、トンネル障壁を少なくとも2つ以上設ければよい。即ち、トンネル障壁は3つ以上設けてもよく、トンネル障壁が1つ増える度に低障壁領域を1つ増やすことになる。また、図1(a), (b)では2つの容量部10が2つの場合について例示したが、容量部10は1つ以上あればよく、3つ以上設けてもよい。しかしながら、特に容量部10が1つの場合には、容量部10全体を非常に簡素な構造とでき工程上有利であるとともに、容量部10全体の膜厚を薄くできる。例えば第2障壁領域15及びトンネル障壁13a, 13bをSiO₂膜で構成し、その厚みをそれぞれ6nm, 3nmとし、貯蔵領域11a, 11bを及び低障壁領域12全体を厚さ10nmのSi膜で構成した場合、容量部10全体のSiO₂に換算した厚みを28nm程度に薄く抑制することができる。したがって、単一の容量部10のみで済ませることで、半導体装置の微細化、高集積化を図ることができるという利点がある。また、上記実施例では、容量部10内に2つの貯蔵領域11a, 11bを設けたが、後述の実施例のごとく貯蔵領域を1つ設けるだけでもよく、あるいは3つ以上設けてもよい。

【0106】次に、本実施例におけるMISFETの動作について、図6を参照しながら説明する。上記容量部10の内部で伝導電子が主に貯蔵領域11aにあるかあるいは同領域11bにあるかによって、MISFETは高いしきい値V_{T0}を示す状態になるか、低いしきい値V_{T1}を示す状態になる（ただし、以後しきい値V_{T0}及びV_{T1}は所定のドレイン電流I_{DS}を示す電圧値とする）。それ故、図3に示した分極-電界曲線のヒステリシスに対応して該MISFETのドレイン電流I_Dのゲート電圧V_Gの関係も図6に示すようなヒステリシス特性を示し、このヒステリシス特性を用いて情報の記憶を行なうことができる。上記しきい値V_Tが高い値V_{T0}を示す状態と低い値V_{T1}を示す状態とを各々デジタル信号の

“0”あるいは“1”に対応させることで、本実施例によるMISFETを、例えばフラッシュEEPROMのメモリセルの代わりとして用いることができる。

【0107】また、このときのV_G-I_D特性は、上記図4の特性曲線E2に示す特性となることは明らかである。したがって、本実施例においては、特に従来のフラッシュEEPROMと比べて、伝導キャリアは容量部10の内部を移動するだけでその外部に流失して失われることがない為に、格段に小さい電力しか消費せずに長期間安定にデータを保存することができるという格別の利点を有する。また、容量部10内の伝導電子が2つの貯蔵領域11a, 11bの両方の領域に或る割合で分配され存在している場合には、この分配率に応じて該MISFETは図6に細い実線で示すように、V_{T0}とV_{T1}の中間のしきい値V_{Tm}を持ち、これを用いてアナログ信

号あるいは多値の論理信号を記憶することができる。このような中間的なしきい値 V_{Tm} を示す状態は、容量部 10 内の伝導電子の全数が一方の貯蔵領域 11a (又は 11b) からもう一方の貯蔵領域 11b (又は 11a) へ移動するのに必要な時間に比して書き込みまたは消去の際のパルス幅を充分短くするか、あるいは書き込みまたは消去の電圧を変化させることで実現することができる。さらに、上記の性質を利用して、本実施例による MISFET を情報の処理に用いることも可能である。例えば、書き込み用パルス信号の回数に対応して徐々にしきい値 V_T が変化するように書き込みのパルス幅を設定し、このことを利用して積算処理を行なうことができる。なお、図 6 は p 型半導体基板 1 の上に形成される n チャンネル MISFET の例を示したが、n 型の半導体基板 1 上に形成される p チャンネル MISFET についても同様に適用でき、この場合も上述の n チャンネル MISFET と全く同様の作用・効果が得られる。

【0108】次に、上記構造を有する MISFET の製造工程について、図 7 (a) ~ (f) を参照しながら説明する。

【0109】まず、半導体基板 1 の上に、例えば通常の熱酸化法により厚さ 6 nm 程度の SiO₂ 膜からなる第 1 絶縁膜 22 を形成する (同図 (a) 参照)。次に、例えば CVD 法により、第 1 絶縁膜 22 の上に厚さ 10 nm 程度のアモルファス Si 膜からなる第 1 半導体膜 23 を堆積する (同図 (b) 参照)。

【0110】次に、例えば第 1 半導体膜 23 の表面付近の層を低温酸化することにより厚さ 3 nm 程度の SiO₂ 膜からなる第 1 トンネル絶縁膜 24 を形成する。そして、例えば CVD 法により、第 1 トンネル絶縁膜 24 の上に厚さ 6 nm 程度のアモルファス Si 膜からなる半絶縁性半導体膜 25 を堆積した後、その表面付近の層を低温酸化することにより、厚さ 3 nm 程度の SiO₂ 膜からなる第 2 トンネル絶縁膜 26 を形成する (同図 (c) 参照)。なお、トンネル障壁の個数が 3 個以上の場合には、アモルファス Si 膜の堆積とその表面酸化とをトンネル障壁及び低障壁領域の個数に応じて繰り返せばよい。

【0111】次に、例えば CVD 法により、第 2 トンネル絶縁膜 26 の上に厚さ 10 nm 程度のアモルファス Si 膜からなる第 2 半導体膜 27 を堆積した後、例えば CVD 法により、第 2 半導体膜 27 の上に厚さ 6 nm 程度の SiO₂ 膜からなる第 2 絶縁膜 28 を形成する。そして、例えば CVD 法により、この第 2 障壁領域 15 の上にリン (P) をドープした厚さ 300 nm 程度の多結晶 Si 膜 29 を堆積する (同図 (d) 参照)。

【0112】ここで、キャリア供給源 7 を容量部 10 の内部に設ける場合には、第 1 絶縁膜 22 の形成工程より後でかつ上記多結晶膜 29 の形成工程より前において、第 1 絶縁膜 22 、第 1 半導体膜 23 、第 1 トンネル絶縁膜 24 、第 2 トンネル絶縁膜 26 、第 2 半導体膜 27 、および第 2 絶縁膜 28 のうちのいずれか 1 つ、 2 つ、 3 つ、 4 つ、 5 つ、あるいはその全ての内部に、例えばリン (P) をイオン注入することで伝導キャリア供給源を形成する。この処理は伝導キャリア供給源としてドナーを添加する場合であるが、例えばボロン (B) のイオン注入によりアクセプタを添加してもよい。

膜 24 、第 2 トンネル絶縁膜 26 、第 2 半導体膜 27 、および第 2 絶縁膜 28 のうちのいずれか 1 つ、 2 つ、 3 つ、 4 つ、 5 つ、あるいはその全ての内部に、例えばリン (P) をイオン注入することで伝導キャリア供給源を形成する。この処理は伝導キャリア供給源としてドナーを添加する場合であるが、例えばボロン (B) のイオン注入によりアクセプタを添加してもよい。

【0113】上述のようにして半導体基板 1 の上に複合膜を形成した後、例えば通常の露光およびエッティング工程を用いて、複合膜の一部の領域を除去して、ゲート電極 6 及び容量部 10 をバーニングする。次に、例えばバーニングされた複合膜をマスクとして、ヒ素 (As) をイオン注入することで自己整合的にソース領域 2 およびドレイン領域 3 を形成し、最後に、例えば蒸着法により厚さ 800 nm 程度の A1 膜からなるソース電極 4 およびドレイン電極 5 を選択的に形成する (同図 (e) 参照)。

【0114】図 7 (e) に示す構造を同図 (d) の断面図と比較すれば分かるように、複合膜のバーニングによって、第 1 絶縁膜 22 及び第 2 絶縁膜 28 は第 2 障壁領域 15, 15 となり、第 1 半導体膜 23 及び第 2 半導体膜 27 は各貯蔵領域 11a, 11b となり、第 1 トンネル絶縁膜 24 及び第 2 トンネル絶縁膜 26 は各トンネル障壁 13a, 13b となり、半絶縁性半導体膜 25 は低障壁領域 12 となり、多結晶 Si 膜 29 はゲート電極 6 となる。

【0115】以上の工程により、図 5 (a) に示すような容量部 10 を搭載した MISFET が形成される。また、上記第 1 実施例では、半導体装置の製造工程の説明を省略したが、基本的な構造は本実施例の MISFET の構造と同じであるから、上記図 7 (a) ~ (e) に示す工程とほぼ同様の工程で形成し得ることがわかる。

【0116】なお、上記第 1 絶縁膜 22 、第 2 絶縁膜 27 、第 1 トンネル絶縁膜 24 、および第 2 トンネル絶縁膜 26 は、シリコン酸化膜 (SiO₂ 膜) だけでなくシリコン窒化酸化膜、シリコン窒化膜ないしはその複合膜を用いてもよい。また、上記伝導キャリア供給源 7 をある膜中に形成する工程において、その膜形成と同時に該伝導キャリア供給源 7 を形成してもよく、例えば第 1 半導体膜 23 、第 2 半導体膜 27 、あるいはその両方を Si 膜形成と同時にリン (P) をドープする CVD 法により形成してもよい。この場合の Si 膜中のリン (P) のドープ量としては、例えば 10^{17} ~ 10^{20} (atoms / cm⁻³) の濃度範囲がある。また、場合によっては、上記半絶縁性半導体膜 25 をもっと厚く例えば 10 ~ 30 nm 程度に形成しても良く、あるいは同膜 25 として第 1 、第 2 半導体膜 23, 27 よりも大きいポテンシャルエネルギーを有する材料例えばアモルファス SiC からなる半導体膜を形成してもよい。なお、上記の全工程の時間的順序が全く逆であってもよい。

31

【0117】(第3実施例) 次に、第3実施例について、図8及び図9(a)～(d)を参照しながら説明する。

【0118】図8は、第3実施例における半導体装置の一部の構造を示す断面図である。本実施例に係る半導体装置は、上記第2実施例の構造を有するMISFETのチャンネル方向に沿って直列に、通常のMISFETを組み込んだ構造を有する。同図に示すように、ソース領域2に近い部分(図中の左半分)が図5に示される構造を有するMISFETであり、ドレイン領域3に近い部分(図中の右半分)は通常のゲート絶縁膜17を有するMISFETを構成している。両者は絶縁体あるいは半絶縁性の半導体よりなる側壁16によって互いに分離されている一方、そのゲート電極6を共有している。例えば半導体基板1がSiよりなる場合には、具体的な一例として、ゲート絶縁膜17として厚さ5～30nm程度のSiO₂膜、側壁16としてSiO₂、Si₃N₄あるいはその複合膜からなる横方向厚さが50～300nm程度の膜などがある。このような選択用のMISFETは、半導体メモリー集積回路において或る一つのメモリセルに書き換え動作を行なう際、それと隣接するメモリセルにも干渉してその記憶状態を変化させてしまう所謂ディスターブ現象を有效地に防止するために必要となる場合がある。図8に示される構造を採用することで、第2実施例における記憶用MISFETおよび選択用MISFETの両者を極めて小さい面積に詰め込むことができ、高集積化と同時に上記ディスターブ現象を有效地に防止することができる。なお、このような選択用MISFETは、図14に別実施例として示したように(詳細は後述する)、記憶用MISFETに対してソース側に位置してもよいし、あるいは図22に別実施例として示したように、記憶用MISFETに対してドレイン領域3の側とソース領域2の側の両方の位置にあってもよい。

【0119】図9(a)～(d)は、第3実施例における半導体装置の製造方法を示す図である。ここでは、上記第2実施例に示す工程と重複する部分は省略する。上記図7(d)に示す第2絶縁膜28を形成する工程まで行なった後、例えば通常の露光およびエッチング工程を用いて、第1絶縁膜22から第2絶縁膜28までからなる複合膜(容量部を構成する膜)の一部の領域を除去しバーニングする(図9(a)参照)。

【0120】次に、例えばCVD法により、厚さ10nm程度のSiO₂膜からなる絶縁膜を全面に形成した後、非等方エッチングを用いて上記バーニングされた複合膜の一方の側部にのみ側壁16を形成する(同図(b)参照)。

【0121】次に、例えば通常の熱酸化法により、上記バーニングされた複合膜及び側壁16に覆われずに露出している一部の半導体基板の上に厚さ10nm程度のSiO₂膜からなる絶縁膜33を形成した後、例えばC

10

32

VD法により、リン(P)をドープした厚さ300nm程度の多結晶Si膜29を全面に形成する(同図(c)参照)。

20

【0122】次に、同図(d)に示すように、半導体基板1の上に形成された上記絶縁膜33、側壁16、多結晶Si膜29等からなる複合膜の一部の領域を例えれば通常の露光およびエッチング工程を用いて除去し容量部10をバーニングする。そして、このバーニングされた容量部10等を含む複合膜をマスクとして、ヒ素(As)のイオン注入を行うことで、自己整合的にソース領域2およびドレイン領域3を形成する。さらに、例えば蒸着法により厚さ800nm程度のAl膜からなるソース電極4およびドレイン電極5を選択的に形成する。

30

【0123】なお、同図(d)に示す工程では、複合膜の一部の領域をエッチングを用いて除去するが、その複合膜が除去される領域において、一般には半導体基板1が露出した状態になるが、第1絶縁膜22の一部あるいはその全部を残した状態で上記エッチング工程を行なってもよい。

40

【0124】(第4実施例) 次に、本発明の第4実施例による半導体装置について、図10(a)、(b)、図11(a)、(b)、及び図12(a)、(b)を参照しながら説明する。

50

【0125】図10(a)は、第2実施例に係る半導体装置の構造断面図を示し、幾何学的な断面形状は上記第1実施例における図1(a)の構造と同じであるので、説明を省略する。ここで、本実施例では、各容量部10において、低障壁領域12及び2つのトンネル障壁13a、13bにより、共鳴トンネリングを生ぜしめる多重トンネル障壁が構成されている。図10(b)および(c)は、この半導体装置の電子ポテンシャルエネルギーの分布を示し、同図(b)は上記低障壁領域12が上記貯蔵領域11a、11bよりも大きいポテンシャルエネルギーを有する場合(第2の場合とする)であり、同図(c)は上記低障壁領域12が該伝導キャリアのド・ブロイ波長と同程度あるいはそれ以下の厚さである場合(第1の場合とする)である。貯蔵領域11a、11bは第2障壁領域15およびトンネル障壁13a、13bよりも電子ポテンシャルエネルギーの小さな半導体、半絶縁体、ないしは金属から構成され、その内部に伝導電子を閉じ込めることができる。トンネル障壁13a、13bは、貯蔵領域11a、11bよりも ΔE_t だけ大きい電子ポテンシャルエネルギーを有する半絶縁性の半導体、半絶縁体、ないしは絶縁体から構成され、隣接する両側の低ポテンシャルエネルギー領域の間を電子が熱励起によってではなく主にトンネル効果によって移動できる程度に、そのエネルギー差 ΔE_t を大きくその膜厚を薄く設定する。低障壁領域12は真性あるいは半真性の半導体、半絶縁体、ないしは絶縁体から構成され、第2障壁領域15およびトンネル障壁13a、13bよりも

小さな電子ボテンシャルエネルギーを有し、かつ下記いづれかの構成を有する。第1の場合には、低障壁領域12の厚さd wが伝導キャリアのド・ブロイ波長(例えば電子の場合約10 nm)と同程度あるいはそれ以下であり、第2の場合には、低障壁領域15のボテンシャルエネルギーが上記貯蔵領域11a, 11bよりも ΔE_0 だけ大きい。第1の場合のように両側をエネルギー障壁に囲まれた領域の厚さが伝導キャリアのド・ブロイ波長と同程度以下になると、各トンネル障壁13a, 13b間で入射波と反射波との位相がほぼ等しくなる。そして、低障壁領域12は定在波を有する所謂量子井戸を構成し、その内部にエネルギー差 ΔE_0 の量子準位を形成するようになる。なれば、低障壁領域12は、上記第1の場合および第2の場合双方の条件を同時に満たしてもよい。

【0126】本実施例においても、伝導キャリアの供給源7は、ドナーとなる不純物原子により構成され、容量部10の内部のいづれかの部位又は容量部10の外部に設けてよい。また、トンネル障壁13a, 13bと貯蔵領域11a, 11bに用いる具体的な材料の組み合せとしては、例えば、AlAsとGaAs, SiO₂とSi、GaAlAsとGaAs, SiO₂とSiC, Si₃N₄とSi、GaAlNとGaN, SiとSiGeなどが考えられる。一般には2つの貯蔵領域11a, 11bは同じ材料を用いる場合が多いが、互いに異なってもよく、また両領域11a, 11bの膜厚が異なっていてもよい。また、一般に複数のトンネル障壁13a, 13bの各層に用いる材料および膜厚は同じ場合が多いが、互いに異なってもよい。

【0127】また、一般にはトンネル障壁13a, 13b、第2障壁領域15の電子ボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよくまたこれらの領域に用いる材料も同じであってもよい。また、各第2障壁領域15の厚さは互いに異なっていてもよい。

【0128】さらに、上記第1の場合には、低障壁領域12および貯蔵領域11a, 11bの電子ボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよくまた両領域に用いる材料も同じであってもよい。この場合の具体的な一例を示すと、第2障壁領域15はSiO₂からなる厚さ5~30 nm程度の膜、トンネル障壁13a, 13bはSiO₂からなる厚さ2~5 nm程度の膜、低障壁領域12および貯蔵領域11a, 11bは共にSiからなり各々厚さが2~10 nm程度および5~30 nm程度の膜であり、伝導キャリア供給源7としては例えば上記貯蔵領域11a, 11bを構成するSi膜中にドナー不純物原子であるリン(P)を添加したものを用いる。一方、上記第2の場合には、多重トンネル障壁を構成するところのトンネル障壁13a, 13bと低障壁領域12に用いる材料の組み合せとし

て、例えば、AlAsとAlGaAs, SiO₂とSi, AlAsとGaAs, SiO₂とSiC, SiO₂とSi₃N₄, Si₃N₄とSi, AlNとGaN, SiとSiGeなどが考えられる。この場合の具体的な一例を示すと、第2障壁領域15はSiO₂からなる厚さ5~30 nm程度の膜、トンネル障壁13a, 13bはSiO₂からなる厚さ2~5 nm程度の膜、低障壁領域12および貯蔵領域11a, 11bは共に厚さが5~30 nm程度で各々SiCおよびSiからなる膜であり、伝導キャリア供給源7としては例えば上記貯蔵領域11a, 11bを構成するSi膜中にAs(ドナー不純物原子)を添加したものを用いる。

【0129】上記構成は伝導キャリアが電子の場合であるが、電子の代わりに正孔を伝導キャリアとして用いてよい。この場合、伝導キャリア供給源7としてはドナー不純物の代わりにアクセプタ不純物を導入したものを用いる。例えば上記第2の場合には、第2障壁領域15はAlAsからなる厚さ5~30 nm程度の膜、トンネル障壁13a, 13bはAlAsからなる厚さ2~5 nm程度の膜、低障壁領域12および貯蔵領域11a, 11bは共に厚さが5~30 nm程度で各々AlGaAsおよびGaAsからなる膜であり、伝導キャリア供給源7としては例えば上記第2障壁領域15を構成するAlAs膜中にアクセプタ不純物原子であるMgを添加したものを用いる。

【0130】上記図10(a), (b)ではトンネル障壁13a, 13bが2つの場合について例示したが、容量部10内のトンネル障壁数は2つ以上であればよい。即ち、トンネル障壁は3つでも4つでもあるいはそれ以上の例えは10個でもよい。この場合、トンネル障壁が1つ増える度にトンネル障壁および低障壁領域を各々1つづつ増すことになる。また、図10(a), (b)では、容量部10が2つの場合について例示したが、容量部の個数は1つ以上であればよい。即ち、容量部の個数は2つに限らず、3つでも4つでもあるいはそれ以上の例えは10個でもよい。なお、容量部が1つの場合には、全体を非常に簡単な構造にでき工程上有利になるとともに、上記容量部10をMIS型半導体装置に搭載する場合に、半導体装置全体を微細化・集積化する上で充分な程に容量部の厚みを薄くすることができるという格別の利点を有する。(上記容量部が1つの場合については、図13にMISFETとして構成した例を用いて具体的に示してあり、後で説明する。)

次に、実施例による半導体装置の動作を説明する。図10(a)に示す各々の容量部10において、伝導キャリア供給源7より発生した伝導キャリア(この例では電子)は主には貯蔵領域11a, 11bのいづれかないしはその両方に存在し、伝導電子が該両貯蔵領域11a, 11bに分配される割合に応じて情報を表現、記憶することができる。伝導電子は上記各容量部10の内部に閉

じ込められ、熱励起などによって第2障壁領域15を越えてその外部に流失して失われることがなく、これによって情報の保持、記憶を行なうことができる。この為には、例えば第2障壁領域15のエネルギー障壁を貯蔵領域11a、11bに対しておよそ1~1.5 eV程度かそれ以上に大きくかつその膜厚を5~6 nm以上に厚く設定してやればよい。また、半導体基板1（又は電極）と電極6の間に一定の電圧を加えることにより上記情報の内容を変化・制御（書換え）することができ、これを上記第1の場合と第2の場合について、各々図11(a)、(b)及び図12(a)、(b)を用いて説明する。図11(a)および図12(a)は、半導体基板1に対して電極6にある正の電位を与えた場合のポテンシャルエネルギー分布を示し、例えば貯蔵領域11aの内部にあった伝導電子は図中矢印で示したように第1障壁領域14（トンネル障壁13a、13bと低障壁領域12より構成される多重トンネル構造を有する障壁領域）を透過して貯蔵領域11bへ流れ込み、その結果、各容量部10内の伝導電子は図中に示すごとくその大部分が貯蔵領域11bの内部に分布するようになる。一方、図11(b)および図12(b)は、半導体基板1に対して電極6にある負の電位を与えた場合のポテンシャルエネルギー分布を示し、例えば貯蔵領域11bの内部にあった伝導電子は前述の場合と同様に第1障壁領域14を透過して今度はもう一方の貯蔵領域11aへ流れ込み、その結果、各容量部10内の伝導電子の大部分は貯蔵領域11aの内部に局在するようになる。このように、容量部10の内部で伝導電子が局在することにより該半導体装置の内部には分極が生じ、この分極の向きは外部から印加する電界によって反転させることができ、また一方で外部から電界を印加しない限りは該分極の向きおよび大きさは保存される。その結果、該半導体装置における分極と外部電界との関係は、上述の図3に示すように、ヒステリシスを持つ関係になり、該ヒステリシスを用いて情報の記憶を行なうことができる。

【0131】上記第1~第3実施例による半導体装置では、前述したように複数のトンネル障壁を一つ一つ透過して行くことで伝導電子を移動させ書換え動作を行なうが、本第4実施例の第1および第2の場合については、高ポテンシャルエネルギー側の貯蔵領域11a、11bと低障壁領域12との間のポテンシャルエネルギー差がほぼ ΔE_0 に等しくなると所謂「共鳴トンネリング」或はそれに類した現象が起り、伝導電子は複数のトンネル障壁13a、13bを一つ一つではなくあたかも図11(a)、(b)及び図12(a)、(b)中の矢印で示したように一挙に透過するようになる。この作用・効果を次に説明する。

【0132】図4の曲線E4は、最も単純な容量部10が1個でかつトンネル障壁13a、13bが2個のみである場合について電流 I_t と外部印加電圧 V_a の関係を

シミュレーションした結果得られた特性曲線である。ただし、上記第1の場合つまり低障壁領域12の厚みがド・ブロイ波長程度ないしそれ以下の場合であって、第2障壁領域15を厚さ6 nm程度とし、貯蔵領域11a、11bおよび低障壁領域12は同じ材料で構成され各々の厚さを10 nm程度および6 nm程度とし、直接トンネルが起きる厚さ3 nm程度のトンネル障壁13a、13bについて、そのエネルギー差 ΔE_t を3.2 eVとした。高ポテンシャルエネルギー側の貯蔵領域と低障壁領域12の間のポテンシャルエネルギー差が ΔE_0 に満たないような低電圧域では、伝導電子は図4のE2に矢印で示したように複数の（2つ以上の）トンネル障壁13a、13bを一つ一つ順に透過して行くため、データ保持・読み込み時における電流 I_t は第1実施例とほぼ同程度に低く抑えられていることが判る。外部印加電圧が増え高ポテンシャルエネルギー側の貯蔵領域と低障壁領域12の間のポテンシャルエネルギー差がほぼ ΔE_0 に等しくなると、図4のE3に矢印で示したように、伝導電子は、共鳴トンネリングにより、トンネル障壁13a、13bと低障壁領域12とにより構成される第1障壁領域14を一挙に透過し、これに対応して電流 I_t は急激な増加を示す。さらに外部印加電圧を増やして行くと、再び共鳴トンネリングは起こらなくなり電流 I_t は急激に減少することが判る。共鳴トンネリングにより第1障壁領域14を透過する確率 T は基本的に「1」となるために従来例よりも大きな書換え時の電流値 I_t を得ることが可能である。一方、書換えに必要な外部電圧及びその時の内部電界は従来例よりも著しく小さいために半導体装置の信頼性を向上させることができる。図4の曲線E3の例では、共鳴トンネリングによる急激な電流 I_t の増加が見られる約3 V付近をその書込み・消去の動作範囲として設定することができ、従来の場合の特性を示す曲線E1及びE4の場合の10~20 Vに較べると、書換えに必要となる外部電圧は格段に小さくて済む。その一方で、読み込みの動作範囲としては、例えば図4の曲線E3では実用上十分大きい±1.5~2 V程度の範囲に設定することができる。上記範囲では電流 I_t は実用上十分低く抑えられている。なお、上記第2の場合においても、高ポテンシャルエネルギー側の貯蔵領域と低障壁領域12との間のポテンシャルエネルギー差がほぼ ΔE_0 に等しくなると共鳴トンネリング或はそれに類した現象が起り、上述の第1の場合と同様の作用・効果が得られる。このように、本実施例における各容量部10に共鳴トンネリング作用を有する多重トンネル障壁を配設したという特徴により、本発明が解決しようとする課題の所で挙げた理想的半導体メモリーの要件（A）極めて高速の書換え・消去動作が比較的低い電圧で可能であること（B）実用上十分な最大書換え回数が高信頼性で得られること

(C) 実用上十分長いデータ保持特性を有すること
 (D) 読込み動作範囲を十分大きくでき破壊読み出しでないこと
 等の全て要件を満たすことができるという従来例には無い格別の効果を得ることができる。

【0133】以上、トンネル障壁が2個である場合を例にとって説明したが、3個以上のトンネル障壁を有する場合についても上述した傾向がより顕著に、あるいはやや複雑になること以外は2個である場合と本質的に同じことが言える。また、以上の結論は、トンネル障壁13a, 13bの厚さ、エネルギー差 ΔE_t 、第2障壁領域15の厚さ、および低障壁領域12の厚さ等が上記例で用いた値以外であっても、本質的に変わらない。

【0134】なお、本実施例の第1の場合においては、低障壁領域12の厚さ d_w が小さくなるほど量子効果が顕著になり ΔE_0 が増加する。それ故、本実施例の第1の場合には d_w を、同第2の場合には ΔE_0 を各々変化させることにより、書換えおよび読み込みの動作電圧範囲を制御することが可能である。なお、低障壁領域12が半導体の場合には、上記トンネル過程における散乱を最小限に抑える目的から、一般に真性、半絶縁性、あるいは高抵抗のものを用いるが、該低障壁領域12が低抵抗の半導体であってもかまわない。また、以上は該活性領域が1個のみである単純な場合を例にとって説明したが、複数の活性領域を有する場合についても全く同じことが言える。さらに、上記伝導キャリアとして電子の代わりに正孔を用いても、同様の作用・効果が得られる。

【0135】上記本実施例による半導体装置を、例えばDRAMのメモリセルを構成するところの蓄積容量の代わりとして用いることにより、不揮発性DRAMを得ることができる。本実施例による半導体装置が自己分極効果を有するため、DRAMメモリセルのもう一方の構成要素であるところのスイッチングMOSFETに流れる電流の大きさ（ないしは向き）はこの分極の向きおよび大きさに対応して変化し、これをを利用して記憶データを読み出す。それ故、本実施例による不揮発性DRAMは、従来例のDRAMと異なりデータ信号を自己増幅する作用を有し、より高速の読み出しが可能である。また、本実施例による不揮発性DRAMの分極の向きおよび大きさは、読み出しが動作程度の低電界ないしはそれ以下にあっては保存されるため、従来例のDRAMのようなリフレッシュ動作が不要であり、より低消費電力化が達成できる。本実施例によるデータの書換え動作は、該障壁領域内の伝導キャリアの移動を伴うだけで外部の系とは本質的に電荷のやり取りを行なわないのでさらに従来例のDRAMより低消費電力化が可能であり、また従来例のDRAMと同程度あるいはそれ以上に高速に書換え動作が行なえかつ実用上十分な最大書換え回数を実現することが可能であるという格別の利点を有する。以上のように、第2実施例による半導体装置を用いることで、高

速で極めて低消費電力の不揮発性DRAMを実現することができる。

【0136】（第5実施例）次に、第5実施例について、図13(a)～(c)を参照しながら説明する。

【0137】図13(a)は、上記第4実施例で説明した構造を有する容量部10をMISFETの上に搭載してなる半導体装置の断面構造を示す。また、図13(b), (c)は、容量部10の構造が上記第4実施例の第2の場合及び第1の場合における電子ポテンシャルエネルギーの分布を示す。図13(a)に示すように、半導体基板1の上には単一の容量部10が設けられ、さらに容量部10の上にゲート電極6が設けられている。そして、容量部10の両端部の下方に位置する半導体基板1の表面領域には、半導体基板内に不純物を導入してなるソース領域2及びドレイン領域3が形成されている。容量部10の構造は、図10(a)に示す構造と基本的に同じである。ただし、本実施例では、伝導キャリア供給源7は各トンネル障壁13a, 13bに設けられている。

【0138】上記ソース領域2およびドレイン領域3は通常のMISFETに用いられるものと同様のものでもよく、例えばSi半導体を用いたMOSFETのように半導体基板と逆極性の不純物原子を添加すること等で形成できる。また、一般には上記ソース領域2およびドレイン領域3の不純物原子の分布は同じであるが、互いに異なっていてもよい。図13(a)～(c)では伝導キャリア供給源7がトンネル障壁13a, 13bの内部に有る場合について例示したが、前述したように該伝導キャリア供給源7は、第2障壁領域15、トンネル障壁13a, 13b、貯蔵領域11a, 11bのいずれか、ないしはその2つあるいは3つの組合せ、ないしはその全部の領域内部に存在していてもよい。また、図13(a)では容量部10が1つでトンネル障壁13a, 13bが2つである最も単純な構成の場合について例示したが、トンネル障壁および容量部は各々3つ以上および2つ以上であってもよい。しかしながら、特に容量部が1つの場合には、容量部を非常に簡単な構造ででき工上有利になるとともに、容量部をMIS型半導体装置に搭載する場合に、半導体装置を微細化・集積化する上で充分な程に容量部の膜厚を薄くすることができるという格別の利点を有する。例えば第2の場合（図13(c)の場合）だと、第2障壁領域15およびトンネル障壁13a, 13bがSiO₂よりもその厚さがそれぞれ6nmおよび3nm、貯蔵領域11a, 11bおよび低障壁領域12が厚さ10nmのSi膜よりもなる例を考えると、容量部10全体のSiO₂に換算した厚さが約28nmで済むことになる。

【0139】次に、本実施例によるMISFETの動作を図6を用いて説明する。上記容量部10の内部での伝導電子が主に貯蔵領域11aにあるかあるいは同領域1

1 b にあるかによって、MISFETのしきい値電圧 V_T は各々高いしきい値 V_{T0} を示す状態か、低いしきい値 V_{T1} を示す状態になり、上記第2実施例と同様に、ドレン電流 I_d とゲート電圧 V_g との関係はヒステリシスを示し、該ヒステリシスを用いて情報の記憶を行なうことができる。そして、しきい値 V_T が高い状態と低い状態を各々デジタル信号の“0”あるいは“1”に対応させることで、本実施例によるMISFET半導体装置を、例えばフラッシュEEPROMのメモリセルの代わりとして用いることができる。本実施例においては、特に従来例のフラッシュEEPROMと比べて、伝導キャリアが該活性領域の内部を移動するだけでその外部に流失して失われることがない為に格段に小さい電力しか消費せずかつ長期間安定にデータを保存することができる。また、それに加えて、従来例のフラッシュEEPROMよりも格段に高速に書込み・消去動作が行なえるだけでなく、格段に低電界の下で書込み・消去動作が行なえる。したがって、実用上充分な最大書換え回数を実現することができるという格別の利点を有する。また、容量部10内の伝導電子が2つの貯蔵領域11a, 11bに或る割合で分配され存在している場合には、この分配率に応じて該MISFETは図6に細い実線で示したように V_{T0} と V_{T1} の中間のしきい値 V_{Tm} を持ち、これを用いてアナログ信号あるいは多値の論理信号を記憶することができる。このような中間的なしきい値 V_{Tm} を有する状態は、容量部10内の伝導電子全数が一方の貯蔵領域11a（又は11b）からもう一方の貯蔵領域11b（又は11a）へ移動するのに必要な時間に比して書込みまたは消去の際のパルス幅を充分短くするか、あるいは書込みまたは消去の電圧を変化させることで実現することができる。さらに、上記の性質を利用して、本実施例によるMIS型半導体装置を情報の処理に用いることも可能である。例えば、書込み用パルス信号の回数に対応して徐々にしきい値 V_T が変化するように書込みのパルス幅を設定し、このことを利用して積算処理を行なうことができる。

【0140】なお、図6はp型半導体基板1の上に形成されるnチャンネルMISFETの例を示したが、n型の半導体基板1上に形成されるpチャンネルMISFETについても同様に適用でき、この場合も上述のnチャンネルと全く同様の作用・効果が得られる。

【0141】また、本実施例のMIS型半導体装置は、上記第2実施例のMIS型半導体装置と形状的にはほぼ同様であり、低障壁領域12の構造を共鳴トンネリングを生ぜしめるような膜厚またはボテンシャルエネルギーに調整する点のみが異なる。したがって、製造工程は省略するが、上記図7(a)～(f)とほぼ同様の工程で製造することができる。

【0142】(第6実施例) 次に、第6実施例について、図14を参照しながら説明する。

【0143】図14には、上記第5実施例で示した構造を有するMISFETのチャンネル方向に沿って直列に通常のMISFETを組み込んだ実施例を示す。ドレン領域3に近い部分（図中の右半分）は上記図13(a)に示す構造を有するMISFETであり、ソース領域2に近い部分（図中の左半分）は通常のゲート絶縁膜17を有するMISFETを構成している。両者は絶縁体あるいは半絶縁性の半導体よりなる側壁16によって互いに分離されている一方、そのゲート電極6を共有している。例えば半導体基板1がSiよりなる場合には、具体的な一例として、ゲート絶縁膜17を厚さ5～30nm程度のSiO₂膜で構成し、側壁16をSiO₂膜、Si₃N₄膜あるいはその複合膜からなる横方向厚さが50～300nm程度の膜で構成する。このような選択用のMISFETは、半導体メモリー集積回路において或る一つのメモリセルに書換え動作を行なう際、それと隣接するメモリセルにも干渉してその記憶状態を変化させてしまう所謂ディスタークル現象を有效地に防止するため必要となる場合がある。図14に示すような構造を採用することで、本実施例による記憶用MISFETおよび選択用MISFETの両者を極めて小さい面積に詰め込むことができ、高集積化と同時に上記ディスタークル現象を防止することができる。なお、このような選択用MISFETは、上記図8に第3実施例として示したごく記憶用MISFETに対してドレン側に配設してもよいし、あるいは図22に別実施例として示すごく記憶用MISFETに対してドレン側とソース側の両方に配設してもよい。

【0144】また、本実施例の構造を有するMIS型半導体装置は、上記図9(a)～(d)に示す工程と基本的に同じ工程で製造することができる。

【0145】(第7実施例) 次に、第7実施例について、図15(a)～(c)、図16(a), (b)、図17(a), (b)及び図18を参照しながら説明する。

【0146】図15(a)は、本実施例に係る多重トンネル障壁を有する半導体装置の構造断面図を示し、1は半導体基板（又は電極）、6は電極であって、半導体基板1と電極6との間に容量部10が配設されている。ここで、本実施例では、上記各実施例とは異なり、容量部10に单一の貯蔵領域11のみが配設され、この貯蔵領域11の一方の面に隣接して第1障壁領域14が設けられ、貯蔵領域11の他方の面に隣接して第2障壁領域15が形成されている。上記第1障壁領域14は、2つのトンネル障壁13a, 13bと、各トンネル障壁13a, 13b間の低障壁領域12とからなる。そして、一方のトンネル障壁13aが半導体基板1に隣接し、第2障壁領域15が電極6に隣接するように配置されている。上記各実施例と同様に、第1障壁領域14は多重トンネル障壁となっている。

【0147】図15(b), (c)は、半導体装置の電子ボテンシャルエネルギーの分布を示し、同図(b)は低障壁領域12が貯蔵領域11aよりも大きいボテンシャルエネルギーを有する場合(上記第4実施例と同様に、第2の場合とする)であり、同図(c)は低障壁領域12が伝導キャリアのド・ブロイ波長と同程度あるいはそれ以下の厚さである場合(上記第4実施例と同様に、第1の場合とする)である。貯蔵領域11は、第2障壁領域15およびトンネル障壁13a, 13bよりも電子ボテンシャルエネルギーの小さな半導体、半絶縁体、ないしは金属から構成され、その内部に伝導電子を閉じ込めることができる。トンネル障壁13a, 13bは、貯蔵領域11よりも ΔE_t だけ大きい電子ボテンシャルエネルギーを有する半絶縁性の半導体、半絶縁体、ないしは絶縁体から構成され、隣接する両側の低いボテンシャルエネルギー領域の間を電子が熱励起によってではなく主にトンネル効果によって移動できる程度に、そのエネルギー差 ΔE_t を大きくその膜厚を薄く設定する。低障壁領域12は、真性あるいは半真性の半導体、半絶縁体、ないしは絶縁体から構成され、第2障壁領域15およびトンネル障壁13a, 13bよりも小さな電子ボテンシャルエネルギーを有し、かつ上記第1の場合には、その厚さ d_w が該伝導キャリアのド・ブロイ波長(例えば電子の場合約10nm)と同程度あるいはそれ以下であり、上記第2の場合にはそのボテンシャルエネルギーが上記貯蔵領域11あるいは半導体基板1よりも ΔE_0 だけ大きい。第1の場合のように両側をエネルギー一障壁に囲まれた領域の厚さが伝導キャリアのド・ブロイ波長と同程度以下になると、低障壁領域12は定在波を有する所謂量子井戸を構成しその内部にエネルギー差 ΔE_0 の量子準位を形成するようになる。なお、低障壁領域12は上記第1の場合および第2の場合における上記条件の両方を同時に満たしてもよい。

【0148】トンネル障壁13a, 13bと貯蔵領域11に用いる具体的な材料の組み合せとしては、例えば、AlAsとGaAs, SiO₂とSi, GaAlAsとGaAs, SiO₂とSiC, Si₃N₄とSi, GaAINとGaN, SiとSiGeなどが考えられる。また、一般に複数のトンネル障壁13a, 13bの各層に用いる材料および膜厚は同じ場合が多いが、互いに異なってもよい。一般にはトンネル障壁13a, 13bおよび第2障壁領域15のボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよくまたこれらの領域に用いる材料も同じであってもよい。本実施例の第1の場合には、低障壁領域12および貯蔵領域11のボテンシャルエネルギーは互いに異なっていてもよいが、同じであってもよくまた両領域に用いる材料も同じであってもよい。この場合の具体的な一例を示すと、第2障壁領域15をSiO₂からなる厚さ5~30nm程度の膜で構成し、トンネル障壁13a, 13bをSiO

2からなる厚さ2~5nm程度の膜で構成し、低障壁領域12および貯蔵領域11と共にSiからなり各々厚さが2~10nm程度および5~30nm程度の膜で構成する。一方、上記第2の場合には、第1障壁領域14を構成するところのトンネル障壁13a, 13bと低障壁領域12に用いる材料の組み合せとして、例えば、AlAsとAlGaAs, SiO₂とSi, AlAsとGaAs, SiO₂とSiC, SiO₂とSi₃N₄, Si₃N₄とSi, AlNとGaN, SiとSiGeなどが考えられる。この場合の具体的な一例を示すと、第2障壁領域15をSiO₂からなる厚さ5~30nm程度の膜で構成し、トンネル障壁13a, 13bをSiO₂からなる厚さ2~5nm程度の膜で構成し、低障壁領域12および貯蔵領域11と共に厚さが5~30nm程度で各々SiCおよびSiからなる膜で構成する。

【0149】上記構成は貯蔵領域11に閉じ込める伝導キャリアが電子の場合であるが、電子の代わりに正孔を伝導キャリアとして用いてもよい。図15(a)では、トンネル障壁13a, 13bが2つの場合について例示したが、トンネル障壁が各々の容量部10に含まれる数は2つ以上であればよい。即ち、トンネル障壁は3つでも4つでもあるいはそれ以上の例えば10個でもよい。この場合、該トンネル障壁が1つ増える度にトンネル障壁および低障壁領域を各々1つづつ増すことになる。

【0150】次に、本実施例による半導体装置の動作を説明する。図15(a)に示す半導体基板1の内部に存在する伝導キャリア(この例では電子)を、ある一定以上の大きさの電界を印加することで貯蔵領域11に注入し、これにより該貯蔵領域11に蓄積された電荷の量に応じて情報を表現、記憶することができる。一旦注入された伝導電子は該貯蔵領域11に閉じ込められ、ある一定以上の大きさの電界を印加しない限りは熱励起などによって第2障壁領域15ないしは複数のトンネル障壁13a, 13bを越えてその外部に流失して失われることがなく、これによって情報の保持、記憶を行なうことができる。また、半導体基板1と電極6の間に一定の電圧を加えることにより上記情報の内容を変化・制御(書換え)することができ、これを本実施例の第1および第2の場合について各々図16(a), (b)および図17(a), (b)を用いて説明する。半導体基板1に対して電極6にある正の電位を与えた場合には、図16(a)および図17(a)に示すように、半導体基板1の内部にあった伝導電子は第1障壁領域14(トンネル障壁13a, 13bと低障壁領域12より構成される多重トンネル構造を有する障壁領域)を透過して(図中の矢印参照)、貯蔵領域11へ流れ込み、図中に示すように貯蔵領域11の内部に局在して分布する。一方、半導体基板1に対して電極6にある負の電位を与えた場合には、図16(b)および図17(b)に示すように、貯蔵領域11の内部にあった伝導電子は前述の場合と同

様に第1障壁領域14を透過して今度は半導体基板1へ引き抜かれ、その結果、該貯蔵領域11の内部には殆ど伝導電子が無い状態になる。その結果、本実施例における半導体装置における分極と外部電界との関係は、図18に示すように、図3に示す特性とは逆向きのヒステリシス特性を有する関係になり、このステリシス特性を利用して情報の記憶を行なうことができる。

【0151】上記第1～第3実施例による半導体装置では、前述したように複数のトンネル障壁を一つ一つ透過して行くことで伝導電子を移動させ書換え動作を行なうが、本実施例の第1および第2の場合については、上記第4実施例で説明したのと同様に、貯蔵領域11と半導体基板1のうち高ボテンシャルエネルギー側の領域と低障壁領域12との間のボテンシャルエネルギー差がほぼ ΔE_0 に等しくなると所謂共鳴トンネリング或はそれに類した現象が起り、伝導電子は複数のトンネル障壁13a, 13bを一つ一つではなく一挙に透過するようになる。それ故、本実施例による半導体装置は図4の曲線E3に示す特性と同様の $I_t - V_a$ 特性を示し、上記第4実施例と本質的に同じ作用・効果が得られる。即ち、共鳴トンネリングにより第1障壁領域14を透過する確率Tは基本的に「1」となるために従来例よりも大きな書換え時の電流 I_t を得ることが可能である。一方、書換えに必要な外部電圧及びその時の内部電界は従来例よりも著しく小さいために該半導体装置の信頼性を向上させることができる。例えば、本実施例においては、共鳴トンネリングによる急激な電流 I_t の増加が約3V程度で見られこの近傍をその書込み・消去の動作範囲として設定することができ、従来例である図4の曲線E1, E4の特性で必要な電圧1.0～2.0Vに較べると、書換えに必要となる外部電圧は格段に小さくて済む。しかも、その一方で、読み出しの動作範囲としては、例えば実用上十分大きい $\pm 1.5 \sim 2$ V程度の範囲に設定する事が可能で、上記範囲では電流 I_t は実用上十分低く抑えられる。なお、本実施例の第2の場合においても、高ボテンシャルエネルギー側の貯蔵領域11と低障壁領域12との間のボテンシャルエネルギー差がほぼ ΔE_0 に等しくなると共鳴トンネリング或はそれに類した現象が起り、上述の第1の場合と同様の作用・効果が得られる。このように、本実施例では、容量部10と共に共鳴トンネリング作用を有する多重トンネル障壁を配設したという特徴により、本発明が解決しようとする課題の所で挙げた理想的半導体メモリーとして要求される要件(A)～(D)の全てを満たすことができるという従来例には無い格別の効果を得ることができる。

【0152】以上、トンネル障壁3が2個である場合を例にとって説明したが、3個以上のトンネル障壁を有する場合についても上述した傾向がより顕著にあるいはやや複雑になること以外は2個である場合と本質的に同じことができる。

【0153】なお、本実施例の第1の場合においては、低障壁領域12の厚さ d_w が小さくなるほど量子効果が顕著になり ΔE_0 が増加する。それ故、本実施例の第1の場合には低障壁領域1の厚さ d_w を、同第2の場合にはエネルギー差 ΔE_0 を各々変化させることにより、書換えおよび読み込みの動作電圧範囲を制御することが可能である。

【0154】また、低障壁領域12が半導体で構成される場合には、上記トンネル過程における散乱を最小限に抑える目的から、一般に真性、半絶縁性、あるいは高抵抗のものを用いるが、該低障壁領域12が低抵抗の半導体であってもかまわない。また、上記伝導キャリアとして電子の代わりに正孔を用いても、同様の作用・効果が得られる。

【0155】(第8実施例) 次に、第8実施例について、図19、図20及び図21(a)～(f)を参照しながら説明する。

【0156】図19は、上記第7実施例で示した構造を有する容量部10をMISFET上に搭載してなる半導体装置の断面構造を示す。同図に示すように、半導体基板1の上に容量部10が設けられ、さらに容量部10の上にゲート電極6が設けられている。そして、容量部10の両端部の下方に位置する半導体基板1の表面領域には、半導体基板内に不純物を導入してなるソース領域2及びドレイン領域3が形成されている。容量部10の構造は、図15(a)に示す構造と基本的には同じである。上記ソース領域2およびドレイン領域3は通常のMISFETに用いられるものと同様のものでもよく、例えばSi半導体を用いたMOSFETのように半導体基板と逆極性の不純物原子を添加すること等で形成できる。

【0157】また、一般には上記ソース領域2およびドレイン領域3の不純物原子の分布は同じであるが、互いに異なっていてもよい。また、図19ではトンネル障壁13a, 13bが2つである最も単純な構成の場合について示したが、該トンネル障壁は3つ以上であってもよい。しかしながら、上記トンネル障壁領域が2つの場合には、容量部10を非常に簡単な構造にでき工程上有利になるとともに、MIS型半導体装置に容量部10を絶縁層ないしは半絶縁層に置き換えて搭載した場合に、半導体装置の微細化・集積化を図る上で充分な程に容量部10を薄くすることができるという格別の利点を有する。例えば本実施例の第2の場合、第2障壁領域15およびトンネル障壁13a, 13bがSiO₂よりなりその厚さがそれぞれ6nmおよび3nmであって、貯蔵領域11および低障壁領域12が厚さ10nmのSi膜よりなる例を考えると、障壁領域全体のSiO₂換算した厚さは上記活性領域が1つの場合では約19nmで済むという利点を有する。

【0158】次に、本実施例によるMIS型半導体装置の動作について、図20を参照しながら説明する。上記

貯蔵領域11の内部に伝導電子があるか或いは無いかによって、MISFETのしきい値電圧 V_T は高いしきい値 V_{T0} を示す状態になるか、低いしきい値 V_{T1} を示す状態になる。すなわち、上記第2実施例と同様にドレイン電流 I_d とゲート電圧 V_g との関係はヒステリシス特性を示し、このヒステリシス特性を用いて情報の記憶を行なうことができる。なお、図18に示した分極と電界の関係の場合と同様に、本実施例によるMISFETは、上記図6に示す $I_d - V_g$ 特性とは逆向きのヒステリシス特性を持つ。そして、上記しきい値 V_T が高い値 V_{T0} を示す状態と低い値 V_{T1} を示す状態を各々デジタル信号の“0”あるいは“1”に対応させることで、本実施例によるMIS型半導体装置を、例えばフラッシュEEPROMのメモリセルの代わりとして用いることができる。本実施例においては、特に従来例のフラッシュEEPROMに比べて、格段に高速に書き込み・消去動作が行なえるだけでなく、格段に低電界の下で書き込み・消去動作が行なえる為に実用上充分な最大書き換え回数を実現することができるという格別の利点を有する。また、本実施例においては、上記5実施例のような容量部10の外部領域との電荷の行き来が本質的でないという利点を有してはいないが、従来例のフラッシュEEPROMに較べると、格段に小さい電圧で書き換えが行なえる為、それに伴いなお消費電力を少なく済ますことができる。さらに、上記第5実施例に較べると、貯蔵領域11および第2障壁領域15は各々1個少なくて済み、かつ伝導キャリア供給源を容量部10の内部に設けなくても容易に伝導キャリアを容量部10に注入しうるので、より簡単な構造にでき工程上有利であるという格別の利点を有している。

【0159】また、上記貯蔵領域11内の電荷が、高いしきい値 V_{T0} を示す状態の時に比べてある割合の量しか存在していない場合には、この割合に応じてMISFETは図20に細い実線で示すように V_{T0} と V_{T1} の中間のしきい値 V_{Tm} を持ち、これをを利用してアナログ信号あるいは多値の論理信号を記憶することができる。このような中間的なしきい値 V_{Tm} を示す状態は、容量部10内の伝導電子全数が多重トンネル構造を有する第2障壁領域14を透過するのに必要な時間に比して書き込みまたは消去の際のパルス幅を充分短くするか、あるいは書き込みまたは消去の電圧を変化させることで実現することができる。さらに、上記の性質を利用して、本3実施例によるMIS型半導体装置を情報の処理に用いることも可能である。例えば、書き込み用パルス信号の回数に対応して徐々にしきい値 V_T が変化するように書き込みのパルス幅を設定し、このことを利用して積算処理を行なうことができる。

【0160】なお、上記図20はp型半導体基板1の上に形成されるnチャンネルMISFETの例を示したが、n型の半導体基板1上に形成されるpチャンネルM

I-SFETについても同様に適用でき、この場合も上述のnチャンネルと全く同様の作用・効果が得られる。

【0161】次に、本実施例のMIS型半導体装置の製造方法について、図21(a)～(f)を参照しながら説明する。

【0162】まず、Si単結晶からなる半導体基板1(あるいは金属の基板ないし膜)の上に、例えば通常の熱酸化法により、厚さ3nm程度のSiO₂からなる第1絶縁膜24を形成する(同図(a)参照)。次に、例えばCVD法により、厚さ6nm程度のアモルファスSiからなる半絶縁性ないしは高抵抗の半導体膜25を形成する(同図(b)参照)。次に、半絶縁性半導体膜25を低温酸化することにより、厚さ3nm程度のSiO₂からなる第2トンネル絶縁膜26を形成した後、例えばCVD法により、この第2トンネル絶縁膜26の上に厚さ10nm程度のアモルファスSiからなる半導体膜30を形成する(同図(c)参照)。

【0163】次に、例えばCVD法により、半導体膜30の上に厚さ8nm程度のSiO₂からなる絶縁膜31を形成する(同図(d)参照)。そして、例えばCVD法により、リン(P)をドープした厚さ300nm程度の多結晶Si膜29を形成する(同図(e)参照)。

【0164】なお、場合によっては、上記工程のうち第2トンネル絶縁膜26および半導体膜30を順次形成する工程を複数回繰り返し行なう。

【0165】そして、半導体基板1上に上記工程による複合膜を形成した後、ゲート電極及び容量部のバターニングを行い、さらに、バターニングされた複合膜をマスクとして、ヒ素(As)のイオン注入を行って自己整合的にソース領域2及びドレイン領域3を形成し、その上に、例えば蒸着法により、厚さ800nm程度のA1膜からなるソース電極4およびドレイン電極5を選択的に形成する(同図(f)参照)。

【0166】最終的に、上記図21(f)に示すように、上記第1、第2トンネル絶縁膜24、26はトンネル障壁13a、13bとなり、上記半絶縁性半導体膜25は低障壁領域12となり、半導体膜30は貯蔵領域11になり、絶縁膜31は第2障壁領域15となり、多結晶Si膜29はゲート電極6となる。

【0167】なお、上記第1トンネル絶縁膜24、第2トンネル絶縁膜26、および絶縁膜31は、SiO₂膜だけでなくシリコン窒化酸化膜、シリコン窒化膜ないしはその複合膜を用いてもよい。また、場合によっては、上記半絶縁性半導体膜25をもっと厚く例えば10～30nm程度に形成しても良く、あるいは同膜25として半導体基板1ないし半導体膜30よりも大きいポテンシャルエネルギーを有する材料例えばアモルファスSiCからなる半導体膜を形成してもよい。なお、上記の全工程の時間的順序が全く逆であってもよい。

【0168】(第9実施例)次に、第9実施例について

て、図22及び図23(a)～(d)を参照しながら説明する。

【0169】図22は、上記第8実施例において図19に示した構造を有するMISFETのチャンネル方向に沿って直列に通常のMISFETを配設してなるMIS型半導体装置の断面構造を示す。チャンネル領域の真ん中に位置するのは図19に示した構造を有するMISFET(記憶用MISFET)であり、その両端のドレイン領域3およびソース領域2に近い部分はゲート絶縁膜17a, 17bを有する通常のMISFET(選択用MISFET)を構成している。両者は絶縁体あるいは半絶縁性の半導体よりなる側壁16a, 16bによって互いに分離されている一方、そのゲート電極6を共有している。例えば半導体基板1がSiよりなる場合には、具体的な一例として、ゲート絶縁膜17a, 17bとして厚さ5～30nm程度のSiO₂膜、側壁16a, 16bとしてSiO₂、Si₃N₄あるいはその複合膜からなる横方向厚さが50～300nm程度の膜などがある。このような選択用MISFETは、半導体メモリ集積回路において或る一つのメモリセルに書換え動作を行なう際、それと隣接するメモリセルにも干渉してその記憶状態を変化させてしまう所謂ディスターブ現象を有效地に防止するために必要となる場合がある。特に、図19に示される構造を採用することで、記憶用MISFETおよび選択用MISFETの両者を極めて小さい面積に詰め込むことができ、高集積化と同時に上記ディスターブ現象を防止することができる。なお、このような選択用MISFETは、図8に別実施例として示したように記憶用MISFETに対してドレイン側の片方に位置してもよいし、あるいは必ず14に別実施例として示したように記憶用MISFETに対してソース側の片方に位置してもよい。

【0170】また、本実施例による半導体装置を、例えばDRAMのメモリセルを構成するところの蓄積容量の代わりとして用いることにより、不揮発性DRAMを得ることができる。その場合、半導体装置が自己分極効果を有するため、DRAMメモリセルのもう一方の構成要素であるところのスイッチングMOSFETに流れる電流の大きさ(ないしは向き)はこの分極の向きおよび大きさに対応して変化し、これをを利用して記憶データを読み出す。それ故、本実施例による不揮発性DRAMは、従来例のDRAMと異なりデータ信号を自己増幅する作用を有し、より高速の読み出しが可能である。また、本実施例による不揮発性DRAMの分極の向きおよび大きさは、読み出しお動作程度の低電界ないしはそれ以下にあっては保存されるため、従来例のDRAMのようなリフレッシュ動作が不要であり、より低消費電力化が達成できる。また、本実施例においては、従来例のDRAMと同程度あるいはそれ以上に高速で書換え動作が行なえ、かつ実用上十分な最大書換え回数を実現することが可能

である。以上のように、本実施例による半導体装置を用いることで、高速で極めて低消費電力の不揮発性DRAMを実現することができるという格別の利点を有する。

【0171】次に、本実施例のMIS型半導体装置の製造工程について、図23(a)～(d)を参照しながら説明する。

【0172】本実施例では、上記第8実施例における図21(a)～(d)までの工程と同様の工程を行った後、以下の工程を行う。

【0173】まず、通常の露光およびエッチング工程を用いて、第1トンネル絶縁膜24から絶縁膜31までからなる複合膜の一部の領域を除去し、容量部10のバターニングを行う(同図(a)参照)。次に、例えばCVD法により、厚さ10nm程度のSiO₂からなる絶縁膜を全面に形成した後、非等方エッチングを用いてバターニングされた容量部10の両側部に側壁16a, 16bを形成する(同図(b)参照)。次に、例えば通常の熱酸化法により、バターニングされた容量部10と側壁16a, 16bとに覆われずに露出している一部の半導体基板1の上に厚さ10nm程度のSiO₂からなる絶縁膜33を形成した後、例えばCVD法によりリン(P)をドープした厚さ300nm程度の多結晶Si膜29を全面に堆積する(同図(c)参照)。

【0174】そして、容量部10の両側のゲート絶縁膜33及び多結晶Si膜29からなる複合膜の一部の領域を、例えば通常の露光およびエッチング工程を用いて除去した後、このバターニングされた複合膜をマスクとして、ヒ素(As)をイオン注入することで自己整合的にソース領域2及びドレイン領域3を形成し、さらに、例えば蒸着法により、厚さ800nm程度のAl膜からなるソース電極4およびドレイン電極5を選択的に形成する(同図(d)参照)。

【0175】以上の工程によって、図22に示す構造を有するMIS型半導体装置が容易に形成されることがわかる。

【0176】

【発明の効果】以上説明したように、請求項1の発明によれば、伝導キャリアを貯蔵可能な伝導キャリア貯蔵部を搭載した半導体装置として、伝導キャリア貯蔵部を、伝導キャリアの貯蔵領域と、その両側の少なくとも2つの障壁領域で構成し、さらに少なくとも一方の障壁領域を多重トンネル構造を有するもので構成したので、多重トンネル構造を介して貯蔵領域と外部の間で伝導キャリアを移動させて貯蔵領域における伝導キャリアの有無を利用して、情報の書き込み、消去のための電圧の低減と、高い信頼性と、極めて多数回の情報の書き込みと、非破壊読み出しと、長期間のデータ保持という特性を満足する理想的なメモリを提供することができる。

【0177】請求項2の発明によれば、伝導キャリア貯蔵部全体の膜厚を極めて薄くでき、よって、半導体装置

の微細化及び高集積化を図ることができる。

【0178】請求項3の発明によれば、2つの貯蔵領域の間には多重トンネル構造を有する障壁領域が形成されているので、伝導キャリアが存在する貯蔵領域の変化に伴う分極特性の変化を利用して、容易に請求項1の発明の効果を得ることができる。

【0179】請求項4の発明によれば、伝導キャリア貯蔵部の両端を多重トンネル構造ではない障壁領域で構成したので、いったん貯蔵領域に導入された伝導キャリアを半永久的に伝導キャリア貯蔵部に保存したままメモリとして利用することができ、よって、極めて長期間のデータ保存を図ることができる。

【0180】請求項5、6及び7の発明によれば、多重トンネル構造を有する障壁領域を伝導キャリアが通過する際ににおける共鳴トンネリング作用を利用して情報の書き込み、消去を行うようにしたので、情報の書き込み、消去のための電圧を極めて低く設定することができ、よって、信頼性及び書換え回数の向上効果を顕著に發揮することができる。

【0181】請求項8の発明によれば、別途キャリア供給源を設け、伝導キャリアを伝導キャリア貯蔵部内に注入する必要なくすることで、半導体装置の構成や動作の簡素化を図ることができる。

【0182】請求項9及び10の発明によれば、半導体装置を、長期間に亘ってデータの高速書換えが可能でかつ書換え可能回数の極めて多いフラッシュEEPROMとして機能させることができる。特に請求項9の発明では、1つのソース・ドレイン領域で済み、構造が極めて簡素化され、極めて微細な集積度の高い半導体装置を構成することができる。

【0183】請求項11～14の発明によれば、記憶可能な情報の種類を多様に設定し、あるいはアナログ情報を記憶させることができ、よって、半導体装置の適用分野の拡大を図ることができる。

【0184】請求項15の発明によれば、伝導キャリア貯蔵部を備えた記憶用MISFETの側方（又は両側方）に設けられた選択用MISFETにより、半導体装置の集積度を高くしながら、デスターク現象を有效地に防止することができ、よって、多重トンネル構造を有する障壁領域を内蔵した伝導キャリア貯蔵部を利用して、集積度及び信頼性の極めて高いメモリセルを構成することができる。

【0185】請求項16の発明によれば、半導体装置を不揮発性のDRAMメモリセルとして機能させることができ、よって、リフレッシュ動作の不要化と消費電力の大幅な低減とを図ることができる。

【0186】請求項17～25の発明によれば、伝導キャリア貯蔵部を構成する各領域を適正なエネルギー準位を有する材料で構成したので、トンネリング機能の良好な多重トンネル構造を有する障壁領域を得ることができ

る。

【0187】請求項26、27、28の方法によれば、それぞれ請求項1、2、4の発明に対応する半導体装置を容易に形成することができる。

【0188】請求項29～31の方法によれば、伝導キャリア貯蔵層内に伝導キャリア供給源を容易に形成することができる。

【0189】請求項32の方法によれば、情報の書き込み、消去を高い信頼性をもって行うことが可能な半導体装置を形成することができる。

【0190】請求項33の方法によれば、多重トンネル構造を有する障壁層が極めて薄い膜厚で形成されるので、半導体装置の集積度の向上を図ることができる。

【0191】請求項34又は35の方法によれば、それぞれ上記請求項9、10の発明に対応したフラッシュEEPROMを形成することができる。

【0192】請求項36の方法によれば、請求項15の発明に対応する不揮発性のDRAMメモリセルを形成することができる。

【0193】請求項37の方法によれば、薄い絶縁層を容易に形成することができる。

【0194】請求項38又は39の方法によれば、貯蔵層と多重トンネル構造を有する層とを比較的容易に形成することができ、半導体装置の製造コストの低減を図ることができる。

【0195】請求項40又は41の方法によれば、多重トンネル構造を有する層を構成する各膜の平滑度が向上することで、特に共鳴トンネリングを行わせるのに適した構造とできる。

【0196】請求項42の方法によれば、多重トンネル構造を有しない絶縁層を容易に形成することができ、よって、半導体装置の製造コストの低減を図ることができる。

【0197】請求項43、44の方法によれば、ディスクターブ現象のない半導体装置を高い集積度で形成することができる。

【図面の簡単な説明】

【図1】第1実施例に係る半導体装置の断面図及び電子ポテンシャルエネルギーの分布を示す図である。

【図2】第1実施例に係る半導体装置の電極に正及び負の電圧を印加した場合の電子ポテンシャルエネルギーの分布を示す図である。

【図3】第1実施例に係る半導体装置における分極と電界の関係を示す図である。

【図4】各種の半導体装置における記憶電荷の移動に伴う電流I-tと外部印加電圧V_aの関係をシミュレーションした結果とその電子ポテンシャルエネルギーの分布のモードを示す図である。

【図5】第1実施例に係るMISFET半導体装置の断面図および電子ポテンシャルエネルギーの分布を示す図

である。

【図 6】第2実施例に係るM I S F E T半導体装置におけるドレイン電流 I_d とゲート電圧 V_g の関係を示す特性図である。

【図 7】第2実施例に係る半導体装置の製造工程における構造の変化を示す断面図である。

【図 8】第3実施例に係る半導体装置の断面図である。

【図 9】第4実施例に係る半導体装置の製造工程における構造を変化を示す断面図である。

【図 10】第4実施例に係る半導体装置の基本的な構造を示す断面図及び低障壁領域の構造が第1, 第2の場合における電子ポテンシャルエネルギーの分布を示す図である。

【図 11】第4実施例の低障壁領域の構造が第1の場合における電極にそれぞれ正, 負の電圧を印加した場合の電子ポテンシャルエネルギーの分布を示す図である。

【図 12】第4実施例の低障壁領域の構造が第2の場合における電極にそれぞれ正, 負の電圧を印加した場合の電子ポテンシャルエネルギーの分布を示す図である。

【図 13】第5実施例に係る半導体装置の基本的な構造を示す断面図及び低障壁領域の構造が第1, 第2の場合における電子ポテンシャルエネルギーの分布を示す図である。

【図 14】第6実施例に係る半導体装置の断面図である。

【図 15】第7実施例に係る半導体装置の基本的な構造を示す断面図及び低障壁領域の構造が第1, 第2の場合における電子ポテンシャルエネルギーの分布を示す図である。

【図 16】第7実施例の低障壁領域の構造が第1の場合における電極にそれぞれ正, 負の電圧を印加した場合の電子ポテンシャルエネルギーの分布を示す図である。

【図 17】第7実施例の低障壁領域の構造が第2の場合における電極にそれぞれ正, 負の電圧を印加した場合の電子ポテンシャルエネルギーの分布を示す図である。

【図 18】第7実施例に係る半導体装置における分極と電界の関係を示す特性図である。

【図 19】第8実施例に係る半導体装置の断面図である。

【図 20】第8実施例に係る半導体装置におけるドレイ

ン電流 I_d とゲート電圧 V_g との関係を示す特性図である。

【図 21】第8実施例に係る半導体装置の製造工程における構造の変化を示す断面図である。

【図 22】第9実施例に係る半導体装置の断面図である。

【図 23】第9実施例に係る半導体装置の製造工程における構造の変化を示す断面図である。

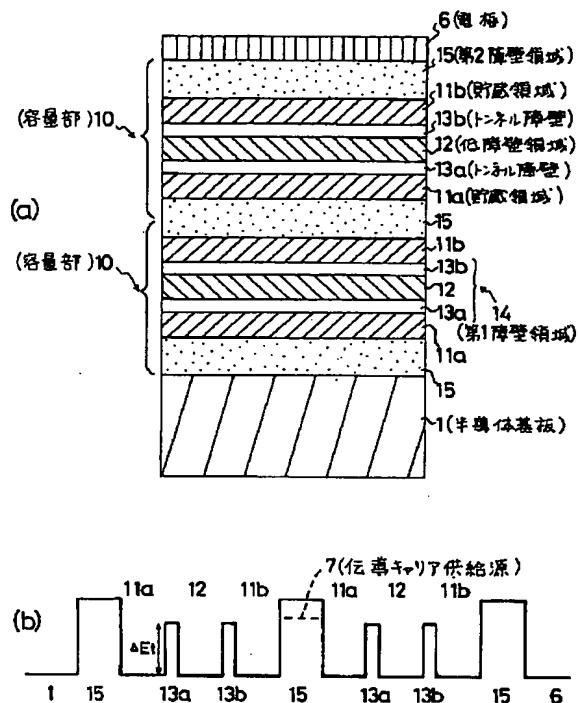
【図 24】従来の公報に記載された半導体装置の概略を示す斜視図である。

【図 25】従来の公報に記載された半導体装置の電子ポテンシャルエネルギー分布を示す図である。

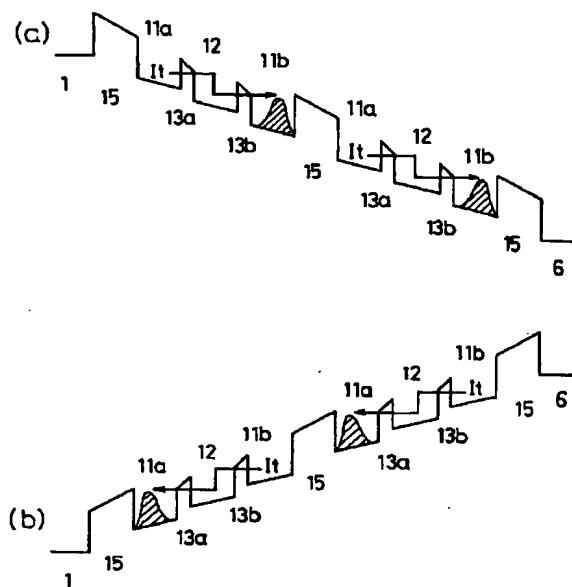
【符号の説明】

1	半導体基板
2	ソース領域
3	ドレイン領域
4	ソース電極
5	ドレイン電極
6	電極(ゲート電極)
7	キャリア供給源
10	容量部
11	貯蔵領域
12	低障壁領域
13	トンネル障壁
14	第1障壁領域
15	第2障壁領域
16	側壁
17	ゲート絶縁膜
22	第1絶縁膜
23	第1半導体膜
24	第2トンネル絶縁膜
25	半絶縁性半導体膜
26	第2トンネル絶縁膜
27	第2半導体膜
28	第2絶縁膜
29	多結晶Si膜
30	半導体膜
31	絶縁膜
33	絶縁膜

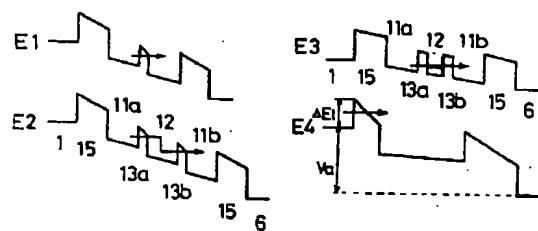
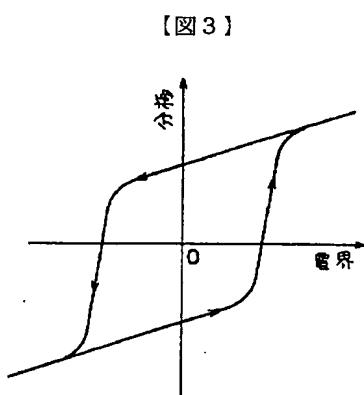
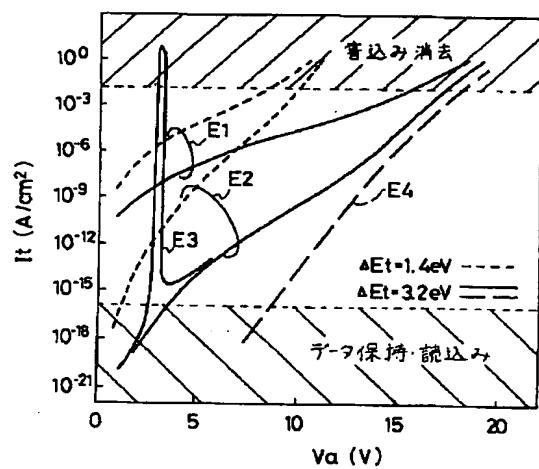
【図1】



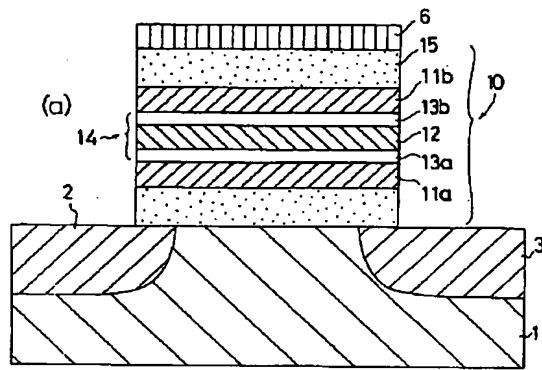
【図2】



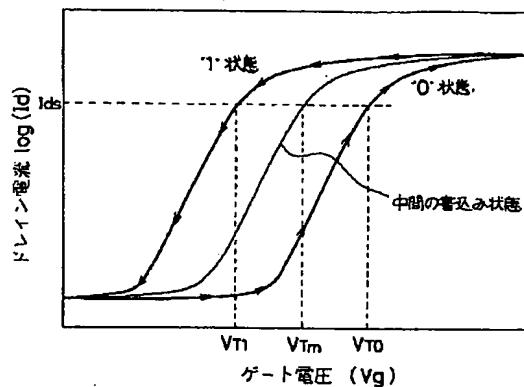
【図4】



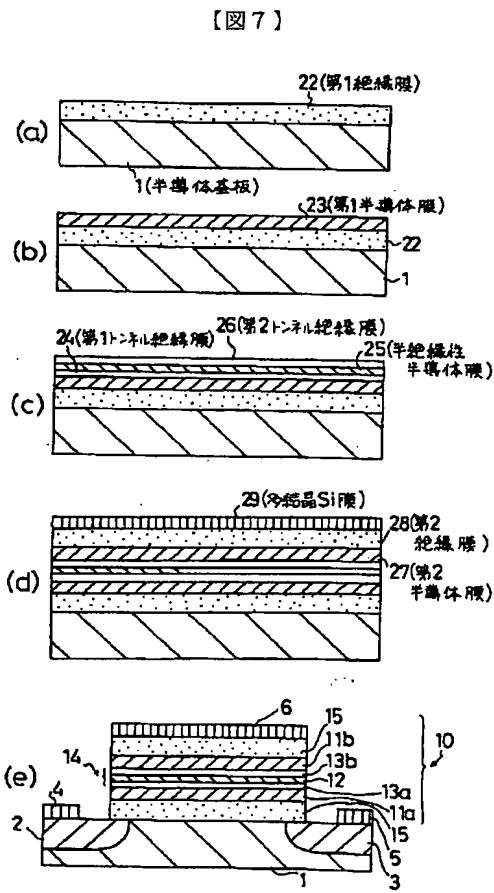
【図5】



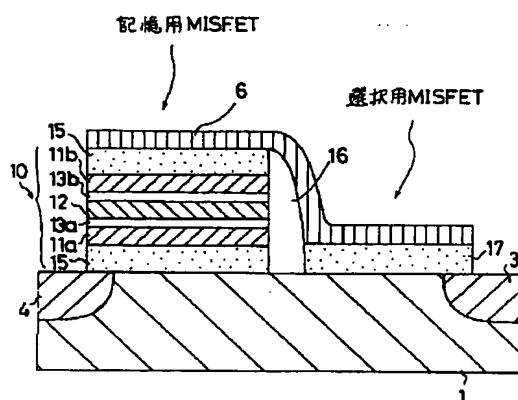
【図6】



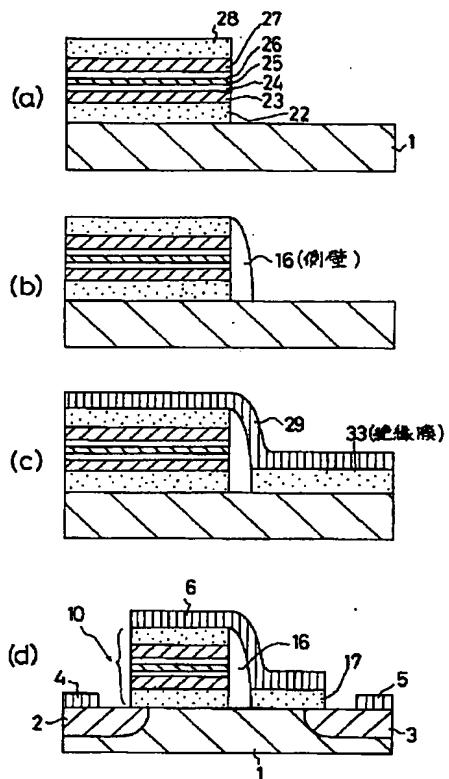
【図7】



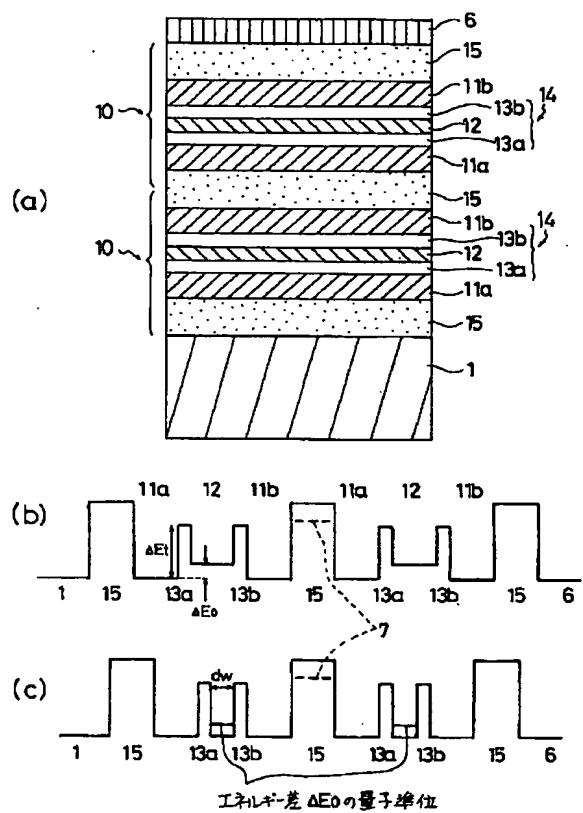
記憶用MISFET



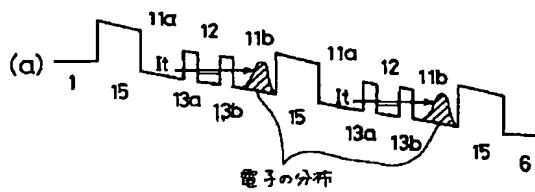
[図9]



〔図10〕



[図11]



〔図12〕

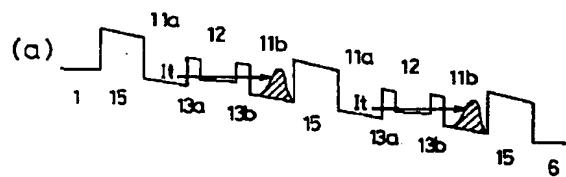
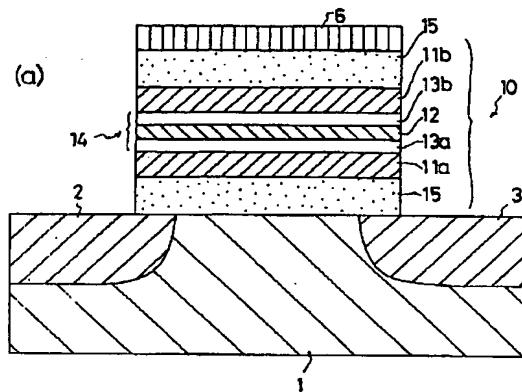


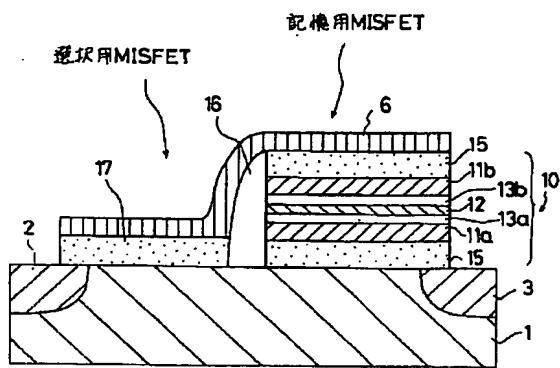
Diagram (b) illustrates a stepped waveform with the following labeled points and values:

- Step 1: Labeled 15 at the bottom left.
- Step 2: Labeled 11a, 12, 11b, 15, 13a, 13b, 11a, 12, 11b, 15, 6 from left to right.
- Step 3: Labeled 15 at the bottom right.

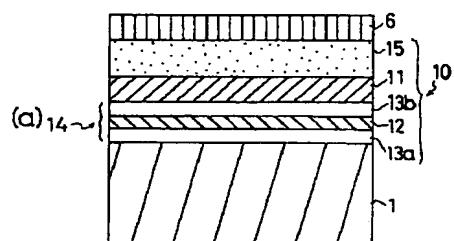
【図13】



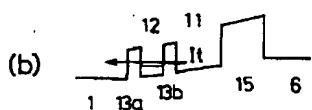
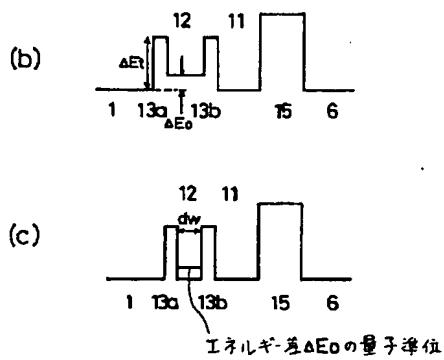
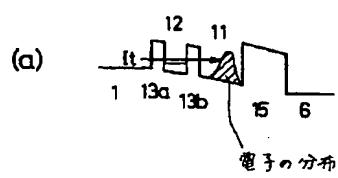
【図14】



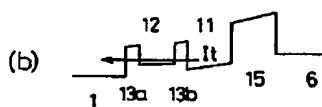
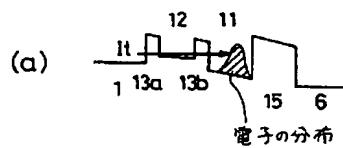
【図15】



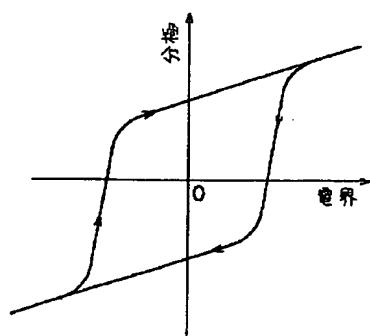
【図16】



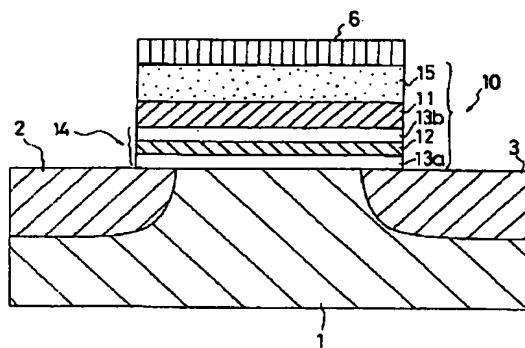
【図17】



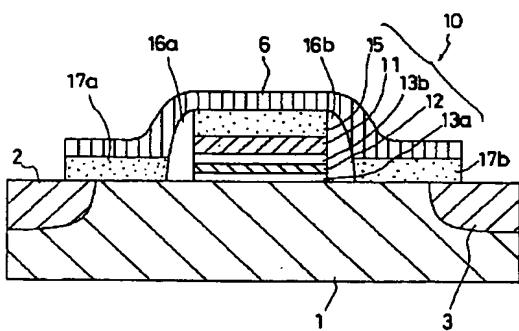
【図18】



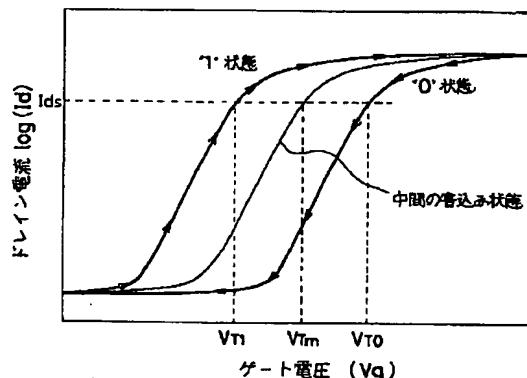
【図19】



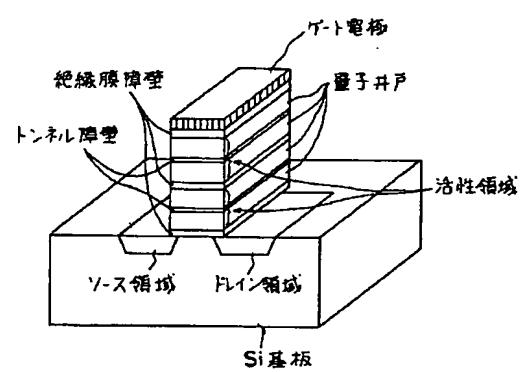
【図22】



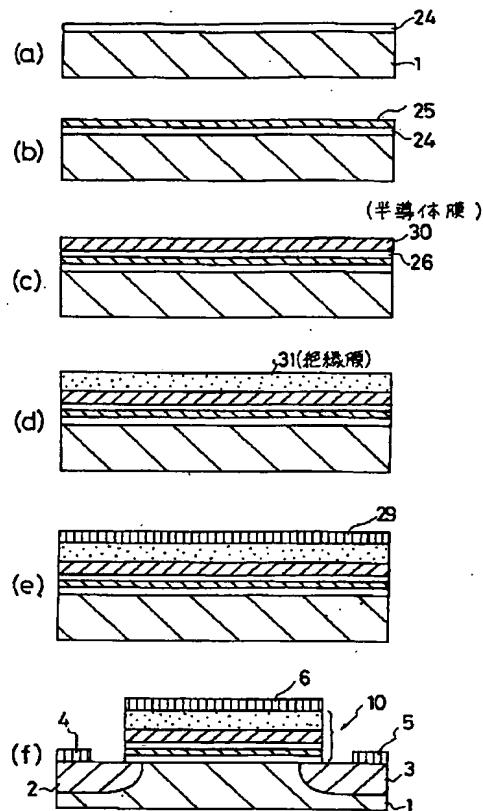
【図20】



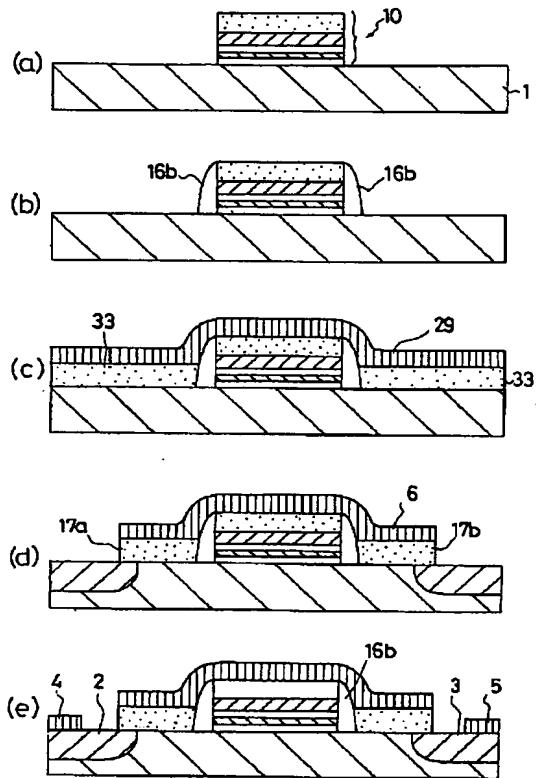
【図24】



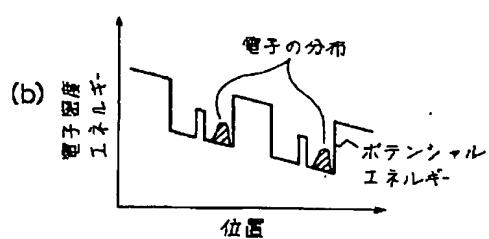
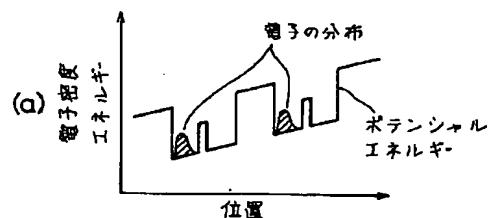
【図21】



【図23】



【図25】



フロントページの続き

(51)Int.C1. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8234			
	27/088			
	27/115			
	29/06			
	29/66			
		H 0 1 L	27/10	4 3 4